



JP-A No. 6-13597

(54)[Title of the Invention]

AMPLIFICATION-TYPE SOLID-STATE IMAGE PICKUP ELEMENT

5

(57)[Abstract]

[Object]

To improve a light-sensitivity characteristic
by decreasing reduction in output, wherein the
10 reduction is caused by a large storage capacitance.

[Configuration]

A photo-electric converting portion PD
generates photocharges according to an amount of
incident light. A PD reset switch S1 fixes one
15 potential for the portion PD at an arbitrary
potential of an arbitrary period, and the switch S1
also fixes the potential of a control input terminal
of an amplifying element at an arbitrary potential
for an arbitrary period. A control portion Sc
20 electrically connects and/or disconnects a
capacitance portion of the photo-electric converting
portion, in which photocharges generated in the
photo-electric converting portion PD are stored,; and
a capacitance portion of the amplifying element, in
25 which photocharges introduced into the input terminal
thereof are stored.

[Scope of Claims for Patent]

[Claim 1]

An amplification-type solid-state image pickup element which includes a photo-electric converting
5 portion which generates photocharges according to an amount of incident light so that the photocharges are introduced into a control input terminal of an amplifying element formed for each pixel and an electric signal depending on the amount of incident
10 light is amplified and read out from each pixel, comprising:

a capacitance portion in the converting portion, for storing photocharges generated in the photo-electric converting portion,
15 a capacitance portion in the amplifying element, for storing photocharges introduced into control input terminals of the amplifying element; and
arbitrary control portions which are installed for each pixel and can electrically connect and
20 disconnect the both capacitance portions.

[Claim 2]

The amplification-type solid-state image pickup element according to claim 1, wherein
the capacitance for storing the photocharges
25 introduced into the amplifying element is larger than that for storing the photocharges generated in the photo-electric converting portion.

[Claim 3]

The amplification-type solid-state image pickup element according to claim 1, further comprising:

other control portion, other than the control
5 portions installed for each pixel, which can fix the potential of the control input terminals of the amplifying element at an arbitrary potential for an arbitrary period.

10 [Detailed Description of the Invention]

[0001]

[Technical Field of the Invention]

The present invention relates to an amplification-type solid-state image pickup element,
15 and, more particularly, to a device which reads out optical information signal, used in, for embodiment, a facsimile machine, a color copying machine, and a video camera, and a solid-state image pickup element.

[0002]

20 [Description of the Prior Art]

A conventional amplification-type solid-state image pickup element is an XY-address-type area image sensor which amplifies an optical information signal obtained in a photo-electric converting portion in
25 the same pixel, and reads out the optical information signal through a vertical and a horizontal scanning switch circuits. FIG. 17 shows a structure for one

pixel in the conventional amplification-type solid-state image pickup element (hereinafter, called a conventional element). FIG. 18 shows an equivalent circuit for one pixel in the conventional
5 amplification-type solid-state image pickup element. In the drawing, 501 is a P-type single crystal silicon substrate; 502 is an (n+) area (n+ denotes a concentrated part in an n-type semiconductor area); 503 is a silicon oxide layer; 504 is a first aluminum
10 layer; 505 is a low-resistance polysilicon layer; 506 is an interlayer insulation layer; and 507 is a second aluminum layer.

[0003]

One pixel of the conventional element
15 comprises: an (n+) P photodiode PD as a photo-electric converting portion; and three n-channel metal oxide semiconductor (MOS) field effect type transistors of a switch Trs for reset of the PD, an amplifying element Ta, and a vertical selection
20 switch Ty. A horizontal scanning switch Tx is provided for each vertical signal line. The above-described conventional element has a fundamental configuration in which the photocharges generated according to an amount of incidence light under a
25 reverse-bias state are stored in a capacitance portion C_{PD} of the PD and a capacitance portion C_g of the amplifying element Ta to change the potential of

a gate electrode which is the control input terminal of Ta to read out an optical electric signal according to optical information after current amplification, and the basic operations are shown as follows:

[0004]

In a reset period, one potential V_p of the photo-electric converting portion PD is set at an initial value V_{rs} (positive potential) by putting Trs into a conducting state. In a storing period, V_p enters a floating state (hereinafter, called floating) with regard to the potential by putting Trs into a nonconducting state (OFF state). At this time, among negative electrons and hole pairs excited by PD, the electrons are stored in, C_{PD} , C_G , and the like, and the positive holes flow out to the substrate by irradiating light. Accordingly, the potential of V_p is decreased according to the amount of incident light. As V_p is electrically connected to the gate electrode of the control input terminal of the amplifying element Ta at any time, the potential of V_p and that of V_o of the gate electrode of Ta are always the same with each other. Reduction in V_p simultaneously causes decreased V_G , and an amplified current according to V_p of PD can be read out through Ty and Tx. Though the above-described conventional element has a negative-type characteristic by which

the maximum current flows in a dark state (a state in which light does not enter onto PD), V_g is decreased as the amount of incident light is increased, and an output current is reduced, there is another type of conventional element in which the potential of the control input terminal of the amplifying element rises to increase an output current, depending on a kind of a photo-electric converting portion or an amplifying element, or a method of a signal output circuit.

[0005]

The above-described in the conventional element has a photo-electric converting characteristic as an important characteristic required for a solid-state image pickup element, and characteristic values are calculated from the following calculations. The total storage capacitance C_{ST} indicating the amount Q_p of all stored photocharges after photo-electric conversion according to the amount of incident light is mainly expressed as the sum total of the electrostatic capacitance C_{PD} of the photo diode PD; the capacitance C_g of the gate in the amplifying element Ta; and the capacitance rsC_{G-D} between the gate and the drain of the switch Trs for reset and the capacitance rsC_{D-SUB} between the drain and the substrate of the switch Trs for reset. Among the above-described capacitances, rsC_{G-D} and rsC_{D-SUB} are

expected to be a parasitic capacitance. Thereby, C_{ST} can be expressed by the following formula (1):

[0006]

$$5 \quad C_{ST} = C_{PD} + C_G + rSC_{G-D} + rSC_{D-SUB} \quad \dots(1)$$

Accordingly, a potential change ΔV_p at both ends of the photo diode is expressed in the following formula (2) according to the amount of incidence light:

10

$$\Delta V_p = Q_p / C_{ST} = Q_p / (C_{PD} + C_G + rSC_{G-D} + rSC_{D-SUB}) \quad \dots(2)$$

Then, the potential V_G of the gate in the amplifying element Ta is expressed as a formula (3):

15

$$\begin{aligned} V_G = V_p &= V_{RS} - \Delta V_p \\ &= V_{RS} - Q_p / (C_{PD} + C_G + rSC_{G-D} + rSC_{D-SUB}) \quad \dots(3) \end{aligned}$$

When it is assumed that the gain of a read-out
20 circuit is Av , and a threshold voltage is V_T , an output voltage V_S after amplification is expressed in a formula (4):

$$\begin{aligned} V_S &= Av(V_G - V_T) \\ 25 \quad &= Av(V_{RS} - Q_p / (C_{PD} + C_G + rSC_{G-D} + rSC_{D-SUB}) - V_T) \quad \dots(4) \end{aligned}$$

Moreover, when a load resistance is assumed to be R_L ,

an output current after amplification is expressed as a formula (5):

$$\begin{aligned} I_s &= V_s/R_L \\ 5 \quad &= (A_v/R_L)\{V_{RS} - Q_p/(C_{PD} + C_G + r_sC_{G-D} + r_sC_{D-SUB+}) - V_T\} \\ &\dots(5) \end{aligned}$$

[0007]

It is found from the above-described formulae
10 (4) and (5) that the larger C_{ST} causes the smaller $\Delta V_s \cdot \Delta I_s$, because the values of a variation ΔV_s of the output voltage, and a variation ΔI_s of the output current are strongly effected by the total storage capacity C_{ST} , wherein both values depend on the
15 increase and decrease of the amount of incident light. As the total storage capacitance is the total sum of the electrostatic capacitance of the photo diode PD and the capacitance of the gate and the parasitic capacitance of the amplifying element in the
20 conventional element, the total storage capacitance necessarily becomes a large value and the variation $\Delta V_s \cdot \Delta I_s$ of the output value after amplification is reduced to cause a problem that the light-sensitivity characteristic is deteriorated.

25 [0008]

An amount of light entering onto one pixel has been reduced, and the amount Q_p of charges after

photo-electric conversion has been decreased along
with increase in a number of pixels and in processing
speed of a solid-state image pickup element. On the
other hand, better halftone has been required, and
5 large output, that is, higher light-sensitivity has
been expected. When, in a solid-state image pickup
element, the number of pixels is increased, the
processing speed is raised, and the halftone is
improved, the conventional element has had a large
10 problem that the light-sensitivity characteristic is
worsened by the large total storage capacitance.

[0009]

[Object]

The present invention has been made considering
15 the above situations, and an object of the invention
is to provide an amplification-type solid-state image
pickup element by which light sensitivity is improved
by decreasing reduction in output, caused by a large
storage capacitance.

20 [0010]

[Configuration]

In order to achieve the above-described object,
an amplification-type solid-state image pickup
element of the present invention, which includes a
25 photo-electric converting portion which generates
photocharges according to an amount of incident light
so that the photocharges are introduced into a

control input terminal of an amplifying element, formed for each pixel and an electric signal depending on the amount of incident light is amplified and read out for each pixel, is

5 characterized in that

(1) the solid-state image pickup element comprises: a capacitance portion in the photo-electric converting portion, which stores photocharges generated in the above-described photo-electric converting portion; a capacitance portion in the amplifying element, which stores photocharges introduced into control input terminals of the amplifying element; and arbitrary control portions which are installed for each pixel, and can electrically connect and disconnect the both capacitance portions,

10

15

(2) the capacitance for storing the photocharges introduced into the above-described amplifying element is larger than that for storing the photocharges generated in the photo-electric converting portion, and

20

(3) other control portion, other than the control portions installed for each pixel, which can fix the potential of the control input terminals of the amplifying element at an arbitrary potential for an arbitrary period, are provided. Hereinafter, the invention will be described, referring to embodiments.

25

[0011]

FIG. 1 is a view explaining a structure as one embodiment of an amplification-type solid-state image pickup element according to the present invention.

5 In the drawing, 101 is a semiconductor substrate; 102 are an area of a high concentration of impurities; 103 are a gate oxidation layer; 104 are a gate electrode; 105 are an interlayer insulation layer; 106 are a metallic electrode; 107 is a second
10 interlayer insulation layer; 108 are a second metallic electrode; and 109 is a passivation layer. The invention relates to a light input circuit of the amplification-type solid-state image pickup element, that is, a structure in which photocharges generated
15 in the photo-electric converting portion is introduced into control input terminals of an amplifying element. Especially, the invention does not depend on methods of signal output circuits after the amplifying element. Accordingly, the invention
20 can be applied to all the methods used in the signal output circuits after the amplifying element, even if the signal output circuits after the amplifying element have adopted a current detection method, a voltage detection method, or a charge detection
25 method. Hereinafter, the configuration, the structure, and the equivalent circuit of the amplification-type solid-state image pickup element

according to the invention will be explained,
referring only to the light input circuit.

[0012]

The semiconductor substrate 101 is a
5 semiconductor substrate made from silicon and the
like, and has a p-type or an n-type semiconductor
characteristic, depending on intentional implantation
of impurity elements such as arsenic and phosphorus.
The area 102 of a high concentration of impurities is
10 an area in which an abundance of, especially, the
above-described impurity elements are implanted to
have low electrical resistance, and the area forms
the source electrode and the drain electrode for S1,
or the source electrode and the drain electrode for
15 Sc. Moreover, the above-described area 102 of a high
concentration of impurities functions as a part for a
p-n junction in the PD portion, wherein the part for
a p-n junction works as a photo-electric converting
site. The gate oxidation layer 103 represents a gate
20 oxidation layer of S1, or that of Sc. The gate
electrodes 104 represents a gate electrode of S1, or
that of Sc, and, usually, polysilicon, silicide,
aluminum, or the like are used for the gate electrode.
The gate electrode 104 functions as the control input
25 terminal of S1 or Sc. The interlayer insulation
layer 105 is an interlayer insulation layer made from
SiO₂ and the like, and is provided for insulation of

the source electrode, the gate electrode and the drain electrode of S1, or for insulation of the source electrode, the gate electrode and the drain electrode of Sc. The metallic electrode 106
5 represents an electrode made of a metal such as aluminum, and forms the source electrode of S1 and the drain electrode of Sc. The second metallic electrode 108 shading arbitrary portions is insulated from the metallic electrode 106 by the second
10 interlayer insulation layer 107. The passivation layer 109 secures reliability at use of an element in a high temperature and humidity environment, and prevents the element from being destroyed by external factors, and, usually, a silicon oxide layer and a
15 silicon nitride layer are applied to the passivation layer 109.

[0013]

FIG. 2 is an equivalent circuit of the light input circuit in the amplification-type solid-state
20 image pickup element provided with the structure shown in FIG. 1. PD represents a photo-electric converting site in which photocharges are generated according to the amount of incident light, and S1 is a PD reset switch which fixes one potential V_p of PD
25 at an arbitrary potential for an arbitrary period, and the potential V_g of the control input terminal of the amplifying element at another arbitrary potential

for another arbitrary period. The present invention is characterized in that Sc is a control portion. Sc is configured to electrically connect and disconnect the capacitance portion in the photo-electric
5 converting portion, which stores photocharges generated in the photo-electric converting portion, and the capacitance portion in the amplifying element, which stores photocharges introduced into control input terminals of the amplifying element. V_c
10 represents the potential of the control input terminal of the amplifying element. When photocharges, which are generated according to the amount of light coming into PD and are stored in the capacitance portion of the photo-electric converting
15 portion, are introduced into the control input terminal of the amplifying element and are stored in the capacitance portion of the amplifying element under control of Sc, the potential of V_c is changed, and, after signal amplification, an output voltage or
20 an output current corresponding to a changed portion of V_c is detected in a signal detection circuit after the amplifying element. $\phi 1$ represents the control input terminal of S1, and $\phi 2$ represents the control input terminal of Sc. Moreover, the other potential
25 GND of PD is earthed at any time.

[0014]

FIGS. 3 (a) to (d) are views showing a timing

chart at operation of the solid-state image pickup element according to claim 1 of the present invention. The operations are roughly divided into a reset operation, a first storing operation, a second
5 storing operation and a reading-out operation, and the reading-out operation is executed according to the method of the signal output circuit. FIGS. 4 (a) to (e) are views showing space potential maps (hereinafter, called potential maps) at time t_1 , t_2 ,
10 t_3 , and t_4 for the photocharge-storing capacitance portion in the photo-electric converting portion and the photocharge-storing capacitance portion in the amplifying element. The solid-state image pickup element according to the invention is especially
15 characterized in the light input circuit, and the features of the solid-state image pickup element according to the invention, for example, the reset operation, the first storing operation and the second storing operation will be explained, referring to FIG.
20 2 to FIGS. 4 (a) to (e).

[0015]

During the period of t_1 for the reset operation, one potential V_p of the photo-electric converting portion PD, and the potential V_g of the control input
25 terminal of the amplifying element are set at an initial value V_{rs} (1) by setting ϕ_1 at a potential of V_{ϕ_1} (1), and, at the same time, by setting ϕ_2 at a

potential of V_{ϕ_2} (1). Subsequently, ϕ_2 is set at a potential of V_{ϕ_2} (3) under a state that ϕ_1 is set at V_{ϕ_1} (1). Then, Sc is put into the nonconducting state, and V_c is fixed at V_{rs} (1) to enter the floating
5 state. Subsequently, V_p is fixed at V_{rs} (2) by setting V_{rs} at a potential V_{rs} (2) different from V_{rs} (1) during the period of t_2 for reset operation.
[0016]

During the first storing operation denoted by t_3 ,
10 V_p is put into floating state by putting $S1$ into the nonconducting state under a state in which the potential of ϕ_1 is V_{ϕ_1} (2). At this time, when light enters onto PD in a reverse bias state, photocharges $Q1$ are generated according to the amount of incident
15 light, and charges of either of a negative electron or a positive hole are stored in the capacitance portion C_{ST} (1) of the photo-electric converting portion. Thereby, the potential of V_p is changed by ΔV_p according to $Q1$ and C_{ST} (1). During the second
20 storing operation denoted by t_4 , a potential barrier of Sc is decreased by an arbitrary value by setting the potential of ϕ_2 at V_{ϕ_2} (2), and the photocharges stored in C_{ST} (1) are moved to the photocharge-storing capacitance portion C_{ST} (2) in the amplifying element
25 for storage. Thereby, the potential V_c of the control input terminal of the amplifying element is changed by ΔV_c according to $Q1$ and C_{ST} (2). According to the

change in the potential of V_G , an electric signal depending on light information is amplified and is detected in a single output circuit.

[0017]

5 That is, in the solid-state image pickup element according to claim 1 of the present invention, the capacitance C_{ST} (1) of the photocharges, which have been generated according to the amount of light entering onto the photo-electric converting portion
10 PD and are temporarily stored, is considered to be the total sum of the capacitance C_{PD} of PD; the capacitance $_{S1}C_{C-D}$ between the gate and the drain and the capacitance $_{S1}C_{D-SUB}$ between the drain and the substrate of S1; and the capacitance $_{SC}C_{G-S}$ between the
15 gate sources of Sc. That is, the capacitance C_{ST} (1) is expressed by a formula (6):

$$C_{ST} (1) = C_{PD} + _{S1}C_{C-D} + _{S1}C_{D-SUB} + _{SC}C_{G-S} \quad \dots(6)$$

20 When it is assumed that the amount of charges stored in the above-described C_{ST} (1) is $Q1$, the variation ΔV_p of the potential of V_p is expressed by a formula (7):

$$\begin{aligned} 25 \quad \Delta V_p &= Q1 / C_{ST} (1) \\ &= Q1 / (C_{PD} + _{S1}C_{C-D} + _{S1}C_{D-SUB} + _{SC}C_{G-S}) \quad \dots(7) \end{aligned}$$

[0018]

The photocharges which have been stored in the above-described photocharge-storing capacitance C_{ST} (1) are transferred to the photocharge-storing capacitance C_{ST} (2) of the amplifying element under control of Sc . At this time, the capacitance C_{ST} (2) of the stored photocharges is considered to be the total sum of the capacitance ${}_{sc}C_{G-D}$ between the gate and the drain and the capacitance ${}_{sc}C_{D-SUB}$ between the drain and the substrate of Sc ; and the capacitance C_G of the gate in the amplifying element. Here, when a junction field-effect transistor, a bipolar transistor, and the like are used as the amplifying element, the capacitance C_{BG-SUB} between the back gate and the substrate is further added. Accordingly, the capacitance C_{ST} (2) is expressed by a formula (8):

$$C_{ST} (2) = {}_{sc}C_{G-D} + {}_{sc}C_{D-SUB} + C_G + C_{BG-SUB} \quad \dots(8)$$

As the amount of charges stored in the above-described C_{ST} (2) is equal $Q1$, the variation ΔV_G of the potential of the control input terminal of the amplifying element is expressed by a formula (9):

$$\begin{aligned} V_G &= Q1/C_{ST} (2) \\ &= Q1/({}_{sc}C_{G-D} + {}_{sc}C_{D-SUB} + C_G + C_{BG-SUB}) \quad \dots(9) \end{aligned}$$

[0019]

Moreover, the amplification-type solid-state image pickup element according to claim 2 of the present invention is characterized in that $C_{ST} (2)$ is
5 configured to be small than $C_{ST} (1)$ which has been described. In the amplification-type solid-state image pickup element according to claim 2 of the invention, a configuration in which the capacitance of the amplifying element, the capacitance between
10 the back gate and the substrate, and the like are made small is effective in order to make $C_{ST} (2)$ smaller than $C_{ST} (1)$. For embodiment, the above-described capacitances can be reduced by using a surface field effect transistor (generally called a
15 metal oxide semiconductor field-effect transistor (MOS transistor)) for the amplifying element. The reason is that the capacitances can be arbitrarily reduced by a configuration in which the size of the element is made smaller because the capacitance of
20 the gate in the surface field effect transistor depends on the size of the element. Moreover, though it is expected that the capacitance between the back gate and the substrate, the capacitance between the collector and the substrates, and the like are larger
25 than the capacitance of the surface field effect transistor when a junction field-effect transistor and a bipolar transistor is used for the amplifying

element, the capacitance between the back gate and the substrate can be made smaller by adjusting the potential difference therebetween, and the capacitances between the collector and the substrate
5 can be made smaller by adjusting the potential difference therebetween.

[0020]

That is, when the amount of photocharges generated in the PD portion is constant, the smaller
10 C_{ST} causes the better light sensitivity. The light sensitivity of the amplification-type solid-state image pickup element according to claim 2 of the present invention is further larger than that of the amplification-type solid-state image pickup element
15 according to the aspect of the invention, because C_{ST} (2) is smaller than C_{ST} (1), and the value of the ΔV_c is larger than that of ΔV_p , based on the following formula (10):

$$20 \quad \Delta V_c = \Delta V_p = \{Q_1/C_{ST} (2)\} \times \{Q_1/C_{ST} (1)\} = C_{ST} (1)/C_{ST} (2) \dots(10)$$

[0021]

Subsequently, a configuration and operations of
25 an amplification-type solid-state image pickup element according to claim 3 of the present invention will be explained as follows. FIG. 5 is a view

showing a structure of a light input circuit for one pixel in the amplification-type solid-state image pickup element according to claim 3 of the invention. In the drawing, 201 is a semiconductor substrate; 202 are an area of a high concentration of impurities; 203 are a gate oxidation layer; 204 are a gate electrode; 205 are an interlayer insulation layer; 206 are a metallic electrode; 207 is a second interlayer insulation layer; 208 are a second metallic electrode; and 209 is a passivation layer.

[0022]

The semiconductor substrate 201 is a semiconductor substrate made from silicon and the like, and has a p-type or an n-type semiconductor characteristic, depending on intentional implantation of impurity elements such as arsenic and phosphorus. The area 202 of a high concentration of impurities is an area in which an abundance of, especially, the above-described impurity elements are implanted to have low electrical resistance, and the area forms the source electrode and the drain electrode for S₁, the source electrode and the drain electrode for S_{c1}, or the source electrode and the drain electrode for S_{c2}. Moreover, the above-described area 202 functions as a part for a p-n junction in the PD portion, wherein the part for a p-n junction works as a photo-electric converting portion. The gate oxidation

layers 203 represents a gate oxidation layer of S1, that of S_{c1} , or that of S_{c2} . The gate electrode 204 represents a gate electrode of S1, that of S_{c1} , or that of S_{c2} , and, usually, polysilicon, silicide, aluminum, and the like are used for the gate electrodes. The gate electrode 204 functions as the control input terminal of S1, S_{c1} , or S_{c2} . The interlayer insulation layer 205 is an interlayer insulation layer made from SiO_2 and the like, and is provided for insulation of the source electrode, the gate electrode and the drain electrode of S1, for insulation of the source electrode, the gate electrode and the drain electrode of S_{c1} , or for insulation of the source electrode, the gate electrode and the drain electrode of S_{c2} . The metallic electrode 206 represents an electrode made of a metal such as aluminum, and forms the source electrode of S1, the drain electrode of S_{c1} , and the source electrode and the drain electrode of S_{c2} . The second metallic electrode 208 shading arbitrary portions is insulated from the metallic electrode 206 by the second interlayer insulation layer 207. The passivation layer 209 secures reliability at use of an element in a high temperature and humidity environment, and prevents the element from being destroyed by external factors, and, usually, a silicon oxide layer and a silicon nitride layer are

applied to the passivation layer 209.

[0023]

FIG. 6 is an equivalent circuit of the light input circuit in the amplification-type solid-state image pickup element provided with the structure shown in FIG. 5. PD represents a photo-electric converting portion in which photocharges are generated according to the amount of incident light, and S1 is a PD reset switch which fixes one potential V_p of PD at an arbitrary potential V_{rs1} for an arbitrary period. Claim 3 of the present invention is characterized in that S_{c1} and S_{c2} are a control portion. S_{c1} is configured to electrically connect and disconnect the capacitance portion in the photo-electric converting portion, which stores photocharges generated in the photo-electric converting portion, and the capacitance portion in the amplifying element, which stores photocharges introduced into control input terminals of the amplifying element. S_{c2} is configured to fix the potential V_g of the control input terminal of the amplifying element at an arbitrary potential V_{rs2} for an arbitrary period. V_g represents the potential of the control input terminal of the amplifying element. When photocharges, which are generated according to the amount of light coming into PD and are stored in the capacitance portion of the photo-electric

converting portion, are introduced into the control input terminal of the amplifying element and are stored in the capacitance portion of the amplifying element under control of S_{c1} and S_{c2} , the potential of V_c is changed, and, after signal amplification, an output voltage or an output current corresponding to a changed portion of V_c is detected in a signal detection circuit after the amplifying element. $\phi 1$ represents the control input terminal of $S1$; $\phi 2$ represents the control input terminal of S_{c1} ; and $\phi 3$ represents the control input terminal of S_{c2} . Moreover, the other potential GND of PD is earthed at any time.

[0024]

FIGS. 7 (a) to (d) are views showing a timing chart at operation of the solid-state image pickup element according to claim 3 of the present invention, and, in FIG. 7, (a) shows a timing chart for $\phi 1$; (b) shows a timing chart for $\phi 2$; (c) shows a timing chart for $\phi 3$; and (d) shows an operation state. The operations are roughly divided into a reset operation, a first storing operation, a second storing operation and a reading-out operation, and the reading-out operation is executed according to the method of the signal output circuit. FIGS. 8 (a) to (d) are views showing potential maps at time t_1 , t_2 , and t_4 for the photocharge-storing capacitance portion in the photo-

electric converting portion and the photocharge-
storing capacitance portion in the amplifying element.
The solid-state image pickup element according to the
invention is especially characterized in the light
5 input circuit, and the features of the solid-state
image pickup element according to the invention, for
example, the reset operation, the first storing
operation, and the second storing operation will be
explained, referring to FIG. 6 to FIGS. 8 (a) to (d).
10 [0025]

During the period of t_1 for the reset operation,
one potential V_p of the photo-electric converting
portion PD is fixed at an initial value V_{rs1} and the
potential V_g of the control input terminal of the
15 amplifying element is fixed at an initial value V_{rs} ,
simultaneously, by setting ϕ_1 at a potential of V_{ϕ_1}
(2), by setting ϕ_2 at a potential of V_{ϕ_2} (2), and by
setting ϕ_3 at a potential of V_{ϕ_3} (1). Subsequently,
during the first storing operation denoted by t_2 , V_p
20 and V_g enter the floating state by putting S_1 and S_{c2}
into the nonconducting state under a state in which
the potential of ϕ_1 is V_{ϕ_1} (2), and, at the same time,
the potential of ϕ_3 is V_{ϕ_3} (2). At this time, when
light enters onto PD in a reverse bias state,
25 photocharges Q_1 are generated according to the amount
of incident light, and charges of either of a
negative electron or a positive hole are stored in

the capacitance portion C_{ST} (1) of the photo-electric converting portion. Thereby, the potential of V_p is changed by ΔV_p according to Q_1 and C_{ST} (1). During the second storing operation denoted by t_3 , a
5 potential barrier of S_{c1} is decreased by an arbitrary value by setting the potential of ϕ_2 at $V\phi_2$ (2), and the photocharges stored in C_{ST} (1) are moved to the photocharge-storing capacitance portion C_{ST} (2) in the amplifying element for storage. Thereby, the
10 potential V_G of the control input terminal of the amplifying element is changed by ΔV_G according to Q_1 and C_{ST} (2). According to the change in the potential of V_G , an electric signal depending on light information is amplified and is detected in a single
15 output circuit.
[0026]

That is, in the solid-state image pickup element according to claim 3 of the present invention, the capacitance C_{ST} (1) of the photocharges, which
20 have been generated according to the amount of light entering onto the photo-electric converting portion PD and are temporarily stored, is considered to be the total sum of the capacitance C_{PD} of PD; the capacitance $_{S1}C_{G-D}$ between the gate and the drain and
25 the capacitance $_{S1}C_{D-SUB}$ between the drain and the substrate of S_1 ; and the capacitance $_{SC1}C_{C-S}$ between the gate and the source of S_{c1} . That is, the capacitance

$C_{ST} (1)$ is expressed by a formula (11):

$$C_{ST} (1) = C_{PD} + s_1 C_{G-D} + s_1 C_{D-SUB} + s_{C1} C_{C-S} \quad \dots(11)$$

5 When the amount of charges stored in the above-described $C_{ST} (1)$ is assumed to be Q_1 , the variation ΔV_p of the potential of V_p is expressed by a formula (12):

$$\begin{aligned} 10 \quad \Delta V_p &= Q_1 / C_{ST} (1) \\ &= Q_1 / (C_{PD} + s_1 C_{G-D} + s_1 C_{D-SUB} + s_{C1} C_{C-S}) \quad \dots(12) \end{aligned}$$

[0027]

The photocharges which have been stored in the
15 above-described photocharge-storing capacitance $C_{ST} (1)$ are transferred to the photocharge-storing capacitance $C_{ST} (2)$ of the amplifying element under control of S_{C1} . At this time, the capacitance $C_{ST} (2)$ of the stored photocharges is considered to be the
20 total sum of the capacitance $s_{C1} C_{G-D}$ between the gate and the drain and the capacitance $s_1 C_{D-SUB}$ between the drain and the substrate of S_{C1} ; the capacitance $s_{C2} C_{G-D}$ between the gate and the drain and the capacitance $s_2 C_{D-SUB}$ between the drain and the substrate of S_{C2} ; and
25 the capacitance C_g of the gate in the amplifying element. Here, when a junction field-effect transistor, a bipolar transistor, and the like are

used for the amplifying element, the capacitance C_{BG-SUB} between the back gate and the substrate is further added. Accordingly, the capacitance C_{ST} (2) is expressed by a formula (13):

5

$$C_{ST} (2) = SC_1 C_{G-D} + SC_1 C_{D-SUB} + SC_2 C_{G-D} + SC_2 C_{D-SUB} + C_G + C_{BG-SUB} \dots(13)$$

As the amount of charges stored in the above-
10 described C_{ST} (2) is equal Q_1 , the variation ΔV_G of the potential of the control input terminal of the amplifying element is expressed by a formula (14):

$$\begin{aligned} \Delta V_G &= Q_1 / C_{ST} (2) \\ 15 \quad &= Q_1 / (SC_1 C_{G-D} + SC_1 C_{D-SUB} + SC_2 C_{G-D} + SC_2 C_{D-SUB} + C_G + C_{BG-SUB}) \dots(14) \end{aligned}$$

[0028]

Subsequently, an embodiment 1 will be shown as
20 one embodiment of the amplification-type solid-state image pickup element according to claims 1 and 2 of the present invention:

<Embodiment 1>

The amplification-type solid-state image pickup
25 element according to an embodiment 1 is an XY-address-type area image sensor which reads out an amplified optical information signal through a

vertical and a horizontal scanning switch circuits,
and the signal detection method is based on current
detection. FIG. 9 is a view showing a structure of
one pixel in the amplification-type solid-state image
5 pickup element according to the embodiment 1, and, in
the drawing, 301 is a semiconductor substrate; 302
are a (P+) area; 303 are a gate oxidation layer; 304
are a gate electrode; 305 are an interlayer
insulation layer; 306 are a metallic electrode; 307
10 is a second interlayer insulation layer; 308 are a
second metallic electrode; and 309 is a passivation
layer.

[0029]

The semiconductor substrate 301 is a
15 semiconductor substrate made from n-type silicon.
The (P+) area 302 is an area in which much arsenic is
implanted as an impurity element, using an ion
implantation method to have low electrical resistance.
The area 302 forms the source electrodes and the
20 drain electrodes for S1, Sc, an amplifying element
Amp in an signal output circuit, and S2. Moreover,
the above-described (P+) area 302 functions, in a PD
portion, as a part for a p-n junction, wherein the
part for a p-n junction works as a photo-electric
25 converting portion. The gate oxidation layer 303
represents gate oxidation layers for S1, Sc, Amp, and
S2. The gate electrode 304 represents the gate

electrodes for S1, Sc, Amp, and S2, and polysilicon in which a high concentration of phosphorus is implanted is used for the gate oxidation layers 30. The gate electrode 304 functions as the control input terminal of S1, Sc, Amp, and S2. The interlayer insulation layer 305 is an interlayer insulation layer of SiO₂, and is provided for insulation of the source electrode, the gate electrode and the drain electrode of S1; the source electrode, the gate electrode and the drain electrode of Sc, the source electrode, the gate electrode and the drain electrode of Amp, the source electrode, the gate electrode and the drain electrode of S2. The metallic electrode 306 represents an electrode formed from aluminum, and forms the source electrode of S1, the drain electrode of Sc, the drain electrode of Amp, and the drain electrode of S2. The second metallic electrode 308 of aluminum shading arbitrary portions is insulated from the metallic electrode 306 by the second interlayer insulation layer 307. The passivation layer 309 secures reliability at use of an element in a high temperature and humidity environment, and prevents the element from being destroyed by external factors, and a silicon nitride layer is applied to the passivation layer 309.

[0030]

FIG. 10 is a view showing an electrically

equivalent circuit of the amplification-type solid-state image pickup element according to the embodiment 1. A portion enclosed with a dotted line is the equivalent of one pixel of the area image sensor. In FIG. 9 and FIG. 10, PD is formed through p-n junction using an n area on the semiconductor substrate and the (P+) area of 302. S1, S2, S3, Sc, and Amp are made of a p-channel MOS transistor. S1 functions as a reset switch for PD, and the function of S2 is to select a line for a pixel to be read out. The function of S3 is to sequentially switch pixels, on the selected line n, to be read out. Sc represents a control portion which is a feature of the present invention, and Amp is an amplifying element which amplifies and read out an optical information signal. A method by which S2 is selected by a vertical scanning circuit, and S3 is selected by a horizontal scanning circuit is used. The potential of one potential of PD and the source potential of the amplifying element Amp are given by V_H showing a voltage of 5 V for both potentials.

[0031]

FIGS. 11 (a) to (d) are views showing a timing chart at operation of the solid-state image pickup element according to the embodiment 1, taking note of one pixel. FIGS. 12 (a) to (d) are views showing potential maps at time t_1 , t_2 , t_3 , and t_4 , which are

included in FIG. 11, for a photocharge-storing capacitance portion in the photo-electric converting portion and a photocharge-storing capacitance portion in the amplifying element. During the period of t_1 for reset operation, one potential V_p of PD and the potential V_g of the control input terminal of Amp are reset to 0 V by simultaneously setting ϕ_1 and ϕ_2 at a potential of 0 V in a state that V_{rs} is set at 0 V. Subsequently, ϕ_2 is set at a potential of 5 V under a state that ϕ_1 is set at 0 V. Thereby, Sc is put into the nonconducting state, and V_g is fixed at 0 V to enter the floating state. Then, during the period of t_2 for reset operation, V_p is fixed at 2 V by setting V_{rs} at 2 V.

[0032]

During the first storing operation denoted by t_3 , the potential ϕ_1 is 5 V, and S1 is in a nonconducting state, and V_p is in a floating state in which V_p is 2 V during the operation. At this time, when light enters onto PD in a reverse bias state, photocharges Q are generated according to the amount of incident light, and charges of a positive hole are stored in the capacitance portion C_{ST} (1) of the photo-electric converting portion. Thereby, the potential V_p is changed by ΔV_p according to Q1 and C_{ST} (1). During the second storing operation denoted by t_4 , a potential barrier of Sc is decreased by 2 V by

setting the potential of ϕ_2 at an arbitrary potential of V_{ϕ_2} (2), and the photocharges stored in C_{ST} (1) are moved to the photocharge-storing capacitance portion C_{ST} (2) in the amplifying element for storage.

- 5 Thereby, the potential V_G of the control input terminal of the amplifying element is changed by ΔV_G according to Q_1 and C_{ST} (2).

[0033]

- During the reading-out operation, all pieces of
- 10 S2 for pixels on a line which is selected by the vertical scanning circuit and is to be read out are put into a conducting state. When pieces of S3 for each pixel are sequentially put into a conducting state during the operation, pixels on a line to be
- 15 read can be sequentially read out. At this time, the value of the current flowing in V_{OUT} is changed according to a changed portion ΔV_G of the potential V_G at the control input terminal of Amp of each pixel. That is, the optical information signal of PD is
- 20 output one by one after current amplification. Here, the output current is applied to a resistance R_L , and is finally output as a voltage. The solid-state image pickup element according to the embodiment 1 of the present invention has a negative-type
- 25 characteristic by which the maximum current flows in a dark state, and the output current is decreased as the amount of incident light is increased.

[0034]

Then, the difference of the light sensitivity characteristic between the solid-state image pickup element of the embodiment 1 and that of the prior art is shown in the following Table 1:

[0035]

Table 1

Difference of light sensitivity characteristic between embodiment 1 and prior art

10

	Prior art	Embodiment 1
Q	1.2×10^{-14} C	1.2×10^{-14} C
C_{ST}	4.2×10^{-14} fF	1.2×10^{-14} fF
ΔV_p	0.286 V	0.324 V
ΔV_g	0.286 V	1.000 V
Light sensitivity	5.72 V/lx·sec	20.0 V/lx·sec

[0036]

Here, Table 1 shows: the amount Q of photocharges generated when the maximum exposure amount of light entering onto one pixel is 100 lx, and light storing time is 0.5 milliseconds; the photocharge-storing capacitance C_{ST} for one pixel; the

variation ΔV_p of V_p ; and the variation of V_g . In Table 1, the photocharge-storing capacitance of the prior art is the sum of 30 fF as the PD capacitance, 5 fF as the gate capacitance of Amp, 2 fF as the
5 capacitance between the gate and the drain of S1, and 5 fF as the capacitance between the drain and the substrate of S1. Moreover, the photocharge-storing capacitance of the embodiment 1 is the sum of 5 fF as the gate capacitance of Amp, 2 fF as the capacitance
10 between the gate and the drain of Sc, and 5 fF as the capacitance between the drain and the substrate of Sc. Here, it is a matter of course, different from a case of a junction field-effect transistor and a bipolar transistor, that the junction capacitance between the
15 substrate and the back gate or the collector can be neglected because a MOS transistor is used for Amp. It is found from Table 1 that the light sensitivity characteristic is improved by 3.5 times when the embodiment 1 is used.

20 [0037]

Subsequently, an embodiment 2 will be shown as one embodiment of the amplification-type solid-state image pickup element according to claim 3 of the present invention:

25 <Embodiment 2>

In the amplification-type solid-state image pickup element according to the embodiment 2, the

light input circuit of the embodiment 1 is changed to the circuit with the feature of claim 3 of the invention. But, the signal detection method, the layer structure, and the like of the element are the same as those of the embodiment 1. FIG. 13 is a view showing a structure for one pixel in the amplification-type solid-state image pickup element according to the embodiment 2, and FIG. 14 is an equivalent circuit for the structure shown in shown in FIG. 13. FIGS. 15 (a) to (e) are views showing a timing chart at operation of the solid-state image pickup element according to the embodiment 2, taking note of one pixel. In the drawing, 401 is an n-type semiconductor substrate; 402 are a (P+) area; 403 are a gate oxidation layer; 404 are a gate electrode; 405 are an interlayer insulation layer; 406 are a metallic electrode; 407 is a second interlayer insulation layer; 408 are a second metallic electrode; and 409 is a passivation layer.

[0038]

PD is formed through p-n junction using an n area on the semiconductor substrate and the (P+) area of 402. S1, S2, S3, S_{C1}, S_{C2}, and Amp are made of a p-channel MOS transistor. In a similar manner to that of the embodiment 1, S1 functions as a reset switch for PD, and the function of S2 is to select a line for a pixel to be read out. The function of S3 is to

sequentially switch pixels, on the selected line n ,
to be read out. S_{c1} , and S_{c2} represent a control
portion which is a feature of the present invention,
and Amp is an amplifying element which amplifies and
5 read out an optical information signal. A method by
which S2 is selected by a vertical scanning circuit,
and S3 is selected by a horizontal scanning circuit
is used. One potential of PD and the source
potential of the amplifying element Amp are given by
10 V_H showing a voltage of 5 V for both potentials. V_{rs}
is set at a potential of 2 V at any time. ϕ_1
represents the potential of the control input
terminal of S1; ϕ_2 represents the potential of the
control input terminal of S_{c1} ; ϕ_3 represents the
15 potential of the control input terminal of S_{c2} ; ϕ_4
represents the potential of the control input
terminal of S2; and ϕ_5 represents the potential of
the control input terminal of S3.

[0039]

20 FIGS. 16 (a) to (c) are views showing potential
maps at operation time t_1 , t_2 , and t_3 , which are
included in FIG. 15, for the photocharge-storing
capacitance portion in the photo-electric converting
portion and the photocharge-storing capacitance
25 portion in the amplifying element. During the period
of t_1 for reset operation, one potential V_p of PD is
reset to the initial value of 2 V, and the potential

V_g of the control input terminal of Amp is reset to the initial value of 0 V, simultaneously, by setting ϕ_1 at a potential of 0 V; by setting ϕ_2 at a potential of 5 V; and by setting ϕ_3 at a potential of 0 V. Subsequently, during the first storing operation denoted by t_2 , V_p and V_g is put into the floating state by putting S_1 and S_{c2} into the nonconducting state under a state in which the potential of ϕ_1 and the potential of ϕ_3 are simultaneously set at 5 V. At this time, when light enters onto PD in a reverse bias state, photocharges Q_1 are generated according to the amount of incident light, and charges of a positive hole are stored in the capacitance portion $C_{ST} (1)$ of the photo-electric converting site. Thereby, the potential V_p is changed by ΔV_p according to Q_1 and $C_{ST} (1)$. During the second storing operation denoted by t_3 , a potential barrier of S_{c1} is decreased by an arbitrary value by setting the potential of ϕ_2 at $V_{\phi_2} (2)$, and the photocharges stored in $C_{ST} (1)$ are moved to the photocharge-storing capacitance portion $C_{ST} (2)$ in the amplifying element for storage. Thereby, the potential V_g of the control input terminal of the amplifying element is changed by ΔV_g according to Q_1 and $C_{ST} (2)$. With regard to the reading-out operation, the description is eliminated because the description is similar to that of the embodiment 1.

[0040]

Then, the difference of the light sensitivity characteristic between the solid-state image pickup element of the embodiment 2 and that of the prior art is shown in the following Table 2:

[0041]

Table 2

Difference of light sensitivity characteristic between embodiment 2 and prior art

10

	Prior art	Embodiment 2
Q	1.2×10^{-14} C	1.2×10^{-14} C
C_{ST}	4.2×10^{-14} fF	1.7×10^{-14} fF
ΔV_p	0.286 V	0.324 V
ΔV_g	0.286 V	0.706 V
Light sensitivity	5.72 V/lx·sec	14.1 V/lx·sec

[0042]

Here, Table 2 shows: the amount Q of photocharges generated when the maximum exposure amount of light entering onto one pixel is 100 lx, and light storing time is 0.5 milliseconds; the photocharge-storing capacitance C_{ST} for one pixel; the

variation of V_p ; and the variation of V_g . In Table 2, the photocharge-storing capacitance of the prior art is 42 fF in the same manner as that of the embodiment 1. In Table 2, the photocharge-storing capacitance of the embodiment 2 is the sum of 5 fF as the gate capacitance of Amp, 2 fF as the capacitance between the gate and the drain of S_{c1} , 5 fF as the capacitance between the drain and the substrate of S_{c1} , 5 fF as the capacitance between the drain and the substrate of S_{c1} , and 5 fF as the capacitance between the gate and the source of S_{c2} . It is found from Table 2 that the light sensitivity characteristic is improved by 2.5 times when the embodiment 2 is used.

[0043]

15 [Advantages]

The following technological advantages are obtained according to the present invention as it is clear from the above description.

(1) Advantages obtained by the invention of claim 1:
20 Generally, C_{PD} , and C_G occupy the majority of the storing capacitances, because C_{PD} , and C_G are 1 to 3 orders of magnitude higher than s_1C_{G-D} , s_1C_{D-SUB} , scC_{G-S} , scC_{G-D} , or scC_{D-SUB} . Rarely, there are some cases in which C_{BG-SUB} generated when a junction field-effect transistor, or a bipolar transistor is used for an
25 amplifying element occupies a larger portion in the storing capacitances. As the size of the capacitance

of the storing capacitance portions always includes C_{PD} and C_g when, like the conventional element, there is continuity between a photocharge-storing capacitance portion of a PD portion and a

5 photocharge-storing capacitance portion of an amplifying element at any time, the above size indicates a large value, and the variation ΔV_g of the potential of a control input terminal of an amplifying element is small. On the other hand, as a

10 photocharge-storing capacitance portion of a PD portion and a photocharge-storing capacitance portion of an amplifying element can be electrically disconnected at any time in an amplification-type solid-state image pickup element according to claim 1

15 of the present invention, the photocharge-storing capacitance does not contain C_{PD} . Thereby, as the capacitance of the storing capacitance portions is decreased by a capacitance of C_{PD} even if the photocharge-storing capacitance in the amplifying

20 element is small, ΔV_g can indicate a larger value than that of the conventional element. It is an advantage of the invention that the larger value of the variation ΔV_g of V_g according to an amount of incident light causes the light sensitivity

25 characteristic to be improved better.

(2) Advantages obtained by the invention of claim 2:
When the amount of photocharges generated in PD

portion is constant, the smaller C_{ST} causes the light sensitivity characteristic to be better. As C_{ST} (2) is smaller than C_{ST} (1) in the amplification-type solid-state image pickup element according to the invention of claim 2, a value of ΔV_G is larger than that of ΔV_p , and the light sensitivity characteristic is further better than that of an amplification-type solid-state image pickup element according to the invention of claim 2.

(3) Advantages obtained by the invention of claim 3: Generally, C_{PD} , and C_G occupy the majority of the storing capacitances, because C_{PD} , and C_G are 1 to 2 orders of magnitude higher than other capacitances. Rarely, there are some cases in which C_{DG-SUB} generated when a junction field-effect transistor, or a bipolar transistor is used for an amplifying element occupies a larger portion in the storing capacitances. As the size of the capacitance of the storing capacitance portions always includes C_{PD} and C_G when, like the conventional element, there is continuity between a photocharge-storing capacitance portion of a PD portion and a photocharge-storing capacitance portion of an amplifying element at any time, the above size indicates a large value, and the variation ΔV_G of the potential of a control input terminal of an amplifying element is small. On the other hand, as a photocharge-storing capacitance portion of a PD

portion and a photocharge-storing capacitance portion of an amplifying element can be electrically disconnected at any time in an amplification-type solid-state image pickup element according to the present invention of claim 3, the photocharge-storing capacitance does not contain C_{PD} . Thereby, as the capacitance of the storing capacitance portions is decreased by a capacitance of C_{PD} even if the photocharge-storing capacitance in the amplifying element is small, ΔV_G can indicate a larger value than that of the conventional element. It is an advantage of the invention that the larger value of the variation ΔV_G of V_G according to an amount of incident light causes the light sensitivity characteristic to be improved better. Moreover, in an amplification-type solid-state image pickup element according to the invention of claim 3, a controlled potential V_{rs1} can be used as V_p , that is, as a potential for reset operation, and a controlled potential V_{t2} can be used as V_c , that is, as a potential for reset operation. Though V_{rs} which is periodically changed is required to be used as a potential for reset operation in the amplification-type solid-state image pickup element according to the invention of claim 1, easier control is realized in the amplification-type solid-state image pickup element according to claim 3, because the controlled

potentials can be used according to the invention of claim 3.

[Brief Description of Drawings]

[FIG. 1]

5 FIG. 1 is a view showing a structure of a light input circuit for one pixel in an amplification-type solid-state image pickup element according to one embodiment of the present invention;

[FIG. 2]

10 FIG. 2 is an equivalent circuit of the light input circuit for one pixel in the amplification-type solid-state image pickup element according to the invention;

[FIG. 3]

15 FIG. 3 is a view showing a timing chart at operation for the solid-state image pickup element according to the invention;

[FIG. 4]

20 FIG. 4 is a view showing space potential maps at operation for a photocharge-storing capacitance portion in a photo-electric converting portion and for a photocharge-storing capacitance portion in an amplifying element of the solid-state image pickup element according to the invention;

25 [FIG. 5]

FIG. 5 is a view showing a structure of a light input circuit for one pixel in an amplification-type

solid-state image pickup element according to another embodiment of the invention;

[FIG. 6]

FIG. 6 is a view showing an equivalent circuit
5 of the light input circuit for one pixel in the amplification-type solid-state image pickup element according to the other embodiment of the invention;

[FIG. 7]

FIG. 7 is a view showing a timing chart at
10 operation of the solid-state image pickup element according to the other embodiment of the invention;

[FIG. 8]

FIG. 8 is a view showing space potential maps at operation for an photocharge-storing capacitance
15 portion of a photo-electric converting portion and a photocharge-storing capacitance portion of an amplifying element in the amplification-type solid-state image pickup element according to the other embodiment of the invention;

20 [FIG. 9]

FIG. 9 is a view showing a structure of a light input circuit for one pixel in an amplification-type solid-state image pickup element according to the invention;

25 [FIG. 10]

FIG. 10 is a view showing an equivalent circuit of the light input circuit for one pixel in the

amplification-type solid-state image pickup element according to one specific embodiment of the invention;

[FIG. 11]

5 FIG. 11 is a view showing a timing chart at operation of the solid-state image pickup element shown in FIG. 10;

[FIG. 12]

10 FIG. 12 is a view showing potential maps at operation for a photocharge-storing capacitance portion of a photo-electric converting portion and a photocharge-storing capacitance portion of an amplifying element in the solid-state image pickup element shown in FIG. 10;

15 [FIG. 13]

 FIG. 13 is a view showing a structure of a light input circuit for one pixel in an amplification-type solid-state image pickup element according to another specific embodiment of the invention;

[FIG. 14]

20 FIG. 14 is a view showing an equivalent circuit for the light input circuit for one pixel in the amplification-type solid-state image pickup element shown in FIG. 13;

[FIG. 15]

 FIG. 15 is a view showing a timing chart at

operation of the solid-state image pickup element
shown in FIG. 13;

[FIG. 16]

FIG. 16 is a view showing space potential maps
5 at operation for a photocharge-storing capacitance
portion of a photo-electric converting portion and a
photocharge-storing capacitance portion of an
amplifying element in the solid-state image pickup
element shown in FIG. 13;

10 [FIG. 17]

FIG. 17 is a view showing a structure for one
pixel in a conventional amplification-type solid-
state image pickup element; and

[FIG. 18]

15 FIG. 18 is an equivalent circuit for one pixel
in the conventional amplification-type solid-state
image pickup element.

[Description of Reference Numerals]

- 101 SEMICONDUCTOR SUBSTRATE
- 20 102 AREA OF A HIGH CONCENTRATION OF IMPURITIES
- 103 GATE OXIDATION LAYER
- 104 GATE ELECTRODE
- 105 INTERLAYER INSULATION LAYER
- 106 METALLIC ELECTRODE
- 25 107 SECOND INTERLAYER INSULATION LAYER
- 108 SECOND METALLIC ELECTRODE
- 109 PASSIVATION LAYER

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-13597

(43)公開日 平成6年(1994)1月21日

(51)IntCl. ⁵	識別記号	庁内整理番号	FI	技術表示箇所
H 0 1 L 27/146				
H 0 4 N 1/028	A	9070-5C		
5/335	Z	7210-4M	H 0 1 L 27/ 14	A

審査請求 未請求 請求項の数3(全 12 頁)

(21)出願番号 特願平4-193323

(22)出願日 平成4年(1992)6月26日

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(71)出願人 000115706

リコー応用電子研究所株式会社

宮城県名取市高館熊野堂字余方上5番地の10

(72)発明者 南條 健

宮城県名取市高館熊野堂字余方上5番地の10 リコー応用電子研究所株式会社内

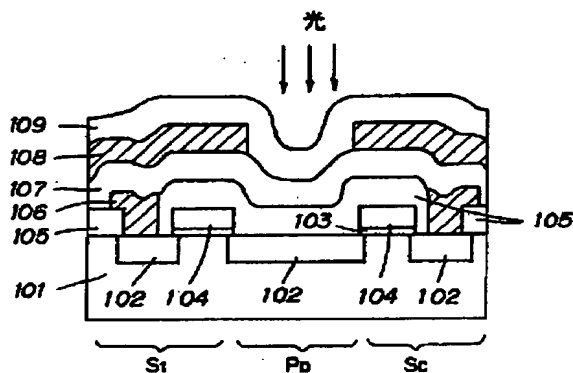
(74)代理人 弁理士 高野 明近 (外1名)

(54)【発明の名称】 増幅型固体撮像素子

(57)【要約】

【目的】 蓄積容量が大きいくことに起因する出力特性の低下を減少させ、光感度特性を向上させる。

【構成】 光電変換部PDは、入射光の量に応じて光電荷を発生する。PDリセットスイッチS1は、PDの一方の電位と増幅素子の制御用入力端子の電位を各々任意の電位に任意期間固定するためのものである。制御部Scは、光電変換部PDで発生した光電荷が蓄積される光電変換部の容量部と、増幅素子の制御用入力端子に導入される光電荷が蓄積される増幅素子の容量部を、電気的に接続・分離の切換えを行う。



【特許請求の範囲】

【請求項1】 光の入射量に依存して光電荷を発生させる光電変換部を有し、該光電荷を各画素ごとに形成された増幅素子の制御用入力端子に導き、光の入射量に依存した電気信号を各画素ごとに増幅して読み出す増幅型固体撮像素子において、前記光電変換部にて発生した光電荷を蓄積する光電変換部の容量部と、増幅素子の制御用入力端子に導入される光電荷が蓄積される増幅素子の容量部と、該両容量部を電気的に接続・分離の切換えを可能とし、各画素ごとに設置された任意の制御部とから成ることを特徴とする増幅型固体撮像素子。

【請求項2】 前記増幅素子に導入された光電荷が蓄積される容量の大きさが、光電変換部にて発生した光電荷が蓄積される容量の大きさよりも小さいことを特徴とする請求項1記載の増幅型固体撮像素子。

【請求項3】 前記各画素ごとに設置された制御部の他に、増幅素子の制御用入力端子の電位を任意期間、任意の電位に固定することが可能な他の制御部を設けたことを特徴とする請求項1記載の増幅型固体撮像素子。

【発明の詳細な説明】

【0001】

【技術分野】本発明は、増幅型固体撮像素子に関し、より詳細には、ファクシミリ、カラー複写機、ビデオカメラ等の光情報信号を読み取るための装置や固体撮像素子に関する。

【0002】

【従来技術】従来の増幅型固体撮像素子は、光電変換部にて得られた光情報信号を同一画素内で増幅し、垂直及び水平走査スイッチ回路を介して読み出すXYアドレス型エリアイメージセンサである。図17に従来技術の内部増幅型固体撮像素子（以後、従来素子と称す）の1画素の構造を示す。図18にその等価回路を示す。図中、501はP型単結晶シリコン基板、502は(n+)領域(n+はn形半導体領域の濃度の高い部分を表記したもの)、503はシリコン酸化膜、504第1アルミニウム膜、505は低抵抗ポリシリコン膜、506は層間絶縁膜、507は第2アルミニウム膜である。

【0003】従来素子の1画素は、光電変換部としての(n+)PフォトダイオードPDと、PDのリセット用スイッチTrsと増幅素子Taと垂直選択スイッチTyの3個のnチャネルMOS電界効果型トランジスタより*

$$C_{ST} = C_{PD} + C_c + r s C_{c-o} + r s C_{o-su} \quad \dots (1)$$

したがって、フォトダイオード両端の電位変化 ΔV_p ※ ※は、入射光量に比例して以下の(2)式のようにになる。

$$\begin{aligned} \Delta V_p &= Q_p / C_{ST} \\ &= Q_p / (C_{PD} + C_c + r s C_{c-o} + r s C_{o-su}) \dots (2) \end{aligned}$$

したがって、増幅素子Taのゲート電位 V_c は(3)式 ★ ★のようにになる。

$$\begin{aligned} V_c &= V_p \\ &= V_{rs} - \Delta V_p \\ &= V_{rs} - Q_p / (C_{PD} + C_c + r s C_{c-o} + r s C_{o-su}) \dots (3) \end{aligned}$$

読み出し回路の利得をAv、しきい値電圧をV_Tとする

* 構成される。水平走査スイッチTxは垂直信号ライン毎に設けられている。前記従来素子は、原理的には、PDを逆バイアス状態として光の入射量に依存して発生した光電荷を、PDの容量部C_{PD}及び増幅素子Taの容量部C_c等に蓄積して、Taの制御用入力端子であるゲート電極の電位を変化させ、光情報に合わせた光電気信号を電流増幅して読み出すものであり、基本動作は以下に示すようになる。

【0004】リセット期間において、光電変換部PDの一方の電位V_pは、Trsを導通状態にすることにより初期値V_{rs}(正電位)に設定される。蓄積期間において、Trsを不導通状態(オフ状態)にすることにより、V_pは電位的に浮いた状態(以後フローティングと称す)となる。この時、光の照射によりPDで励起された電子・正孔対のうち、電子がC_{PD}及びC_c等に蓄積され、正孔は基板に流出する。したがって、V_pの電位は入射光量に応じて減少する。V_pは増幅素子Taの制御用入力端子であるゲート電極と常に電気的に接続されているので、V_pの電位とTaのゲート電極の電位V_cは常に同電位となる。V_pが減少したことによりV_cも同時に減少し、PDのV_pに応じた増幅された電流をTy及びTxを介して読み出すことが出来る。前述した従来素子は、暗状態(光がPDに入射しない状態)で最大の電流が流れ、入射光量が増えるにつれてV_cが低下し、出力電流が減少するネガ型の特性を示したが、光電変換部や増幅素子の種類、信号出力回路の方式によっては、増幅素子の制御用入力端子の電位が上昇し、出力電流が増加する従来素子もある。

【0005】前記従来素子において、固体撮像素子として要求される重要な特性として光電変換特性があり、その特性値は以下の計算より算出される。入射光量に依存して光電変換された光電荷量Q_pが蓄積される全蓄積容量C_{ST}は、フォトダイオードPDの静電容量C_{PD}及び増幅素子Taのゲート容量C_c及びリセット用スイッチTrsのゲート・ドレイン間容量r s C_{c-o}、ドレイン・基板間容量r s C_{o-su}の総和として主に表すことが出来る。上記各容量の中で、r s C_{c-o}、r s C_{o-su}は零であることが期待される寄生的な容量である。上記より、C_{ST}は以下の(1)式で表すことが出来る。

【0006】

と、増幅後の出力電圧V_oは、(4)式のようにになる。

$$V_s = A_v (V_g - V_T) \\ = A_v (V_{rs} - Q_p / (C_{p0} + C_g + r_s C_{g0} + r_s C_{0-sus}) - V_T) \cdots (4)$$

又、増幅後の出力電流は、負荷抵抗を R_L とすると、 * * (5) 式ようになる。

$$I_s = V_s / R_L \\ = (A_v / R_L) \{ V_{rs} - Q_p / (C_{p0} + C_g + r_s C_{g0} + r_s C_{0-sus}) - V_T \} \cdots (5)$$

【0007】前記(4)式及び(5)式より、入射した光の増減に依存した出力電圧の変化量 ΔV_s 及び出力電流の変化量 ΔI_s は、全蓄積容量 C_{st} が大きさに強く依存し、 C_{st} が大きいく程、 $\Delta V_s \cdot \Delta I_s$ が小さくなる
10 ことが分かる。従来素子において、全蓄積容量はフォトダイオードの静電容量及び増幅素子のゲート容量及び寄生的容量の総和となるため必然的に大きな値となり、増幅後の出力値の変化量 $\Delta V_s \cdot \Delta I_s$ が小さくなり、光感度特性が低下する欠点を有している。

【0008】固体撮像素子の多画素化・高速化が進むにつれて、1画素に入射する光量が減少し、光電変換された電荷量 Q_p も減少する。反面、高階調性が要求され、大きな出力特性、すなわち高い光感度特性が期待されている。従来素子において、全蓄積容量が大きいくことに原因して、光感度特性が悪くなることは固体撮像素子の多
20 画素化・高速化・高階調性において大きな問題となる。

【0009】

【目的】本発明は、上述のごとき実情に鑑みなされたもので、蓄積容量が大きいくことに起因する出力特性の低下を減少させ、光感度特性を向上させるようにした増幅型固体撮像素子を提供することを目的となされたものである。

【0010】

【構成】本発明は、上記目的を達成するために、(1) 光の入射量に依存して光電荷を発生させる光電変換部を有し、該光電荷を各画素ごとに形成された増幅素子の制御用入力端子に導き、光の入射量に依存した電気信号を各画素ごとに増幅して読み出す増幅型固体撮像素子において、前記光電変換部にて発生した光電荷を蓄積する光電変換部の容量部と、増幅素子の制御用入力端子に導入される光電荷が蓄積される増幅素子の容量部と、該両容量部を電気的に接続・分離の切換えを可能とし、各画素ごとに設置された任意の制御部とから成ること、更には、(2) 前記増幅素子に導入された光電荷が蓄積される容量の大きさが、光電変換部にて発生した光電荷が蓄
30 積される容量の大きさよりも小さいこと、更には、

(3) 前記各画素ごとに設置された制御部の他に、増幅素子の制御用入力端子の電位を任意期間、任意の電位に固定することが可能な他の制御部を設けたことを特徴としたものである。以下、本発明の実施例に基づいて説明する。

【0011】図1は、本発明による増幅型固体撮像素子の一実施例を説明するための構成図で、図中、101は半導体基板、102は高不純物濃度領域、103はゲート酸化膜、104はゲート電極、105は層間絶縁膜、
50

106は金属電極、107は第2層間絶縁膜、108は第2金属電極、109は保護膜である。本発明は、増幅型固体撮像素子の光入力回路すなわち光電変換部にて発生した光電荷が増幅素子の制御用入力端子に導かれるまでの構造に関するものであり、特に増幅素子以降の信号出力回路の方式には依存しない。したがって、増幅素子以降の信号出力回路が電流検出方式又は電圧検出方式又は電荷検出方式を採用していても全ての方式に適用が可能である。以下に、本発明の増幅型固体撮像素子の構成・構造・等価回路を光入力回路に関してのみ説明する。

【0012】半導体基板101は、シリコン等による半導体基板を表し、硼素や磷等の不純物元素の意図的な混入によりp型又はn型の半導体特性を示す。高不純物濃度領域102は、特に前記不純物元素を多量に混入させた箇所
で電気抵抗が低く、S1又はScのソース電極やドレイン電極を構成している。又、PD部では、前記不純物濃度領域102は光電変換部位であるpn接合の一端を担っている。ゲート酸化膜103はS1又はScのゲート酸化膜を示す。ゲート電極104はS1又はScのゲート電極を示し、通常poly Siもしくはシリサイドもしくはアルミニウム等が用いられる。ゲート電極104はS1又はScの制御用入力端子の役目を果たしている。層間絶縁膜105はSiO₂等により構成される層間絶縁膜であり、S1又はScのソース電極、ゲート電極、ドレイン電極をそれぞれ絶縁するために設置されている。金属電極106はアルミニウム等の金属により形成される電極を表し、S1のソース電極及びScのドレイン電極を形成している。第2層間絶縁膜107は、任意の箇所の遮光の役目をする第2金属電極108と、金属電極106の絶縁をするための第2層間絶縁膜である。保護膜109は素子の高温高湿環境等での信頼性を確保し、外的要因による素子の破壊を防止するための保護膜であり、通常シリコン酸化膜やシリコン窒化膜が用いられる。

【0013】図2は、図1に示した構造の増幅型固体撮像素子の光入力回路の等価回路である。PDは入射した光の量に応じて光電荷が発生する光電変換部位を表し、S1はPDの一方の電位 V_p 及び増幅素子の制御用入力端子の電位 V_g をそれぞれ任意の電位に任意期間固定するためのPDリセットスイッチである。Scは、本発明の特徴となる制御部である。Scは、光電変換部にて発生した光電荷が蓄積される光電変換部の容量部と、増幅素子の制御用入力端子に導入される光電荷が蓄積される増幅素子の容量部を、電気的に接続・分離の切換えを行うために設けられている。 V_g は増幅素子の制御用入力

5

端子の電位を表し、PDへの光の入射量に依存して発生し、光電変換部の容量部に蓄積された光電荷が、Scの制御により増幅素子の制御用入力端子に導かれ増幅素子の容量部に蓄積されると、V_cの電位は変化し、V_cの変化分に合わせた出力電圧又は出力電流が信号増幅されて、増幅素子以降の信号検出回路より検出される。φ₁、φ₂はそれぞれS₁、Scの制御用入力端子を表し、PDのもう一方の電位GNDは常に接地されている。

【0014】図3(a)～(d)は、請求項1に記載の本発明の固体撮像素子の動作時のタイミングチャートを示す図である。動作は、リセット動作・第1蓄積動作・第2蓄積動作・読み出し動作に大きく分けられるが、読み出し動作は信号出力回路の方式に従う。各時間t₁、t₂、t₃、t₄における、光電変換部の光電荷蓄積容量部と増幅素子の光電荷蓄積容量部の空間電位図(以後ポテンシャル図と称す)を図4(a)～(e)に示す。本発明の固体撮像素子は、特に光入力回路に特徴を有しているため、リセット動作・第1蓄積動作・第2蓄積動作について、本発明の固体撮像素子の特徴を図2～図4

(a)～(e)を用いて以下に説明する。

【0015】リセット動作のt₁の期間において、φ₁とφ₂を同時に、それぞれV_{rs}(1)、V_{rs}(1)の電位に設定することにより、光電変換部PDの一方の電位V_p及び増幅素子の制御用入力端子の電位V_cが初期値V_{rs}(1)に設定される。次に、φ₁をV_{rs}(1)に設定したままでφ₂をV_{rs}(3)の電位に設定する。すると、Scが不導通状態になり、V_cはV *

$$C_{st}(1) = C_{p0} + t_{s1} C_{c-p} + t_{s1} C_{d-sua} + t_{sc} C_{c-s} \quad \dots (6)$$

で表される。上記C_{st}(1)に蓄積される電荷量をQ₁※30※とすると、V_pの電位の変化量ΔV_pは、

$$\Delta V_p = Q_1 / C_{st}(1) \\ = Q_1 / (C_{p0} + t_{s1} C_{c-p} + t_{s1} C_{d-sua} + t_{sc} C_{c-s}) \quad \dots (7)$$

となる。

【0018】前記光電荷蓄積容量C_{st}(1)に蓄積されていた光電荷はScの制御により増幅素子の光電荷蓄積容量C_{st}(2)に転送される。この時、光電荷が蓄積される容量C_{st}(2)は、Scのゲート・ドレイン間容量★

$$C_{st}(2) = s_c C_{c-p} + s_c C_{d-sua} + C_c + C_{sc-sua} \quad \dots (8)$$

で表される。上記C_{st}(2)に蓄積された電荷量はQ₁と等しいので、増幅素子の制御用入力端子の電位の変化☆40

$$\Delta V_c = Q_1 / C_{st}(2) \\ = Q_1 / (s_c C_{c-p} + s_c C_{d-sua} + C_c + C_{sc-sua}) \quad \dots (9)$$

となる。

【0019】又、請求項2に記載の増幅型固体撮像素子では、上記、C_{st}(1)に比べ、C_{st}(2)を小さくすることを特徴としている。請求項2に記載の増幅型固体撮像素子において、C_{st}(1)に比べ、C_{st}(2)を小さくするためには、増幅素子のゲート容量及びバックゲート・基板間容量等を小さくする構成にすることが効果的である。例えば、増幅素子として表面電界効果型トラ

6

* r s (1) に固定されフローティング状態となる。次に、リセット動作のt₂の期間において、V_{rs}をV_{rs}(1)とは異なる電位V_{rs}(2)に設定することにより、V_pはV_{rs}(2)に固定される。

【0016】t₃で示した第1蓄積動作において、φ₁の電位をV_{rs}(2)として、S₁を不導通状態とすることにより、V_pはフローティング状態となる。この時、逆バイアス状態のPDに光が入射することにより、光の入射量に合わせて光電荷Q₁が発生し、電子と正孔のどちらか一方の電荷が光電変換部の容量部C_{st}(1)に蓄積される。それにより、V_pの電位はQ₁とC_{st}(1)に依存したΔV_pだけ変化する。t₄で示した第2蓄積動作において、φ₂の電位をV_{rs}(2)とすることにより、Scのポテンシャル障壁が任意の値だけ減少し、C_{st}(1)に蓄積されていた光電荷が増幅素子の光電荷蓄積容量部C_{st}(2)に移動し蓄積される。それにより、増幅素子の制御用入力端子の電位V_cは、Q₁とC_{st}(2)に依存したΔV_cだけ変化する。V_cの電位の変化に応じて、信号出力回路より光情報に依存した電気信号が増幅されて検出される。

【0017】すなわち、請求項1に記載の本発明の固体撮像素子において、光電変換部PDにて入射した光の量に依存して発生した光電荷が一時的に蓄積される容量C_{st}(1)は、PDの容量C_{p0}及びS₁のゲート・ドレイン間容量s₁C_{c-p}、ドレイン・基板間容量s₁C_{d-sua}及びScのゲート・ソース間容量s_cC_{c-s}の総和と考えることが出来、

★s_cC_{c-p}、ドレイン・基板間容量s_cC_{d-sua}及び増幅素子のゲート容量C_cの総和と考えることができる。なお、増幅素子に接合型電界効果トランジスタやバイポーラトランジスタ等を用いた場合、さらにバックゲート・基板間容量C_{sc-sua}が付加される。

☆量ΔV_cは、

ンジスタ(一般にMOSトランジスタと呼ばれている)を用いることにより該容量を小さくすることは可能になる。表面電界効果型トランジスタのゲート容量はその素子寸法に依存し、素子を小さく形成することにより、任意に小さくすることが可能であるからである。又、増幅素子として、接合型電界効果トランジスタやバイポーラトランジスタを用いた場合、バックゲート・基板間容量やコレクター・基板間容量等が表面電界効果型トランジ

タに比べて増えることが予想されるが、バックゲート-基板間又はコレクター-基板間の電位差を調整することにより該容量を小さくすることが可能になる。

【0020】すなわち、PD部にて発生する光電荷量が一定の場合、 C_{st} が小さい程光感度特性が良くなる。請*

$$\begin{aligned}\Delta V_c / \Delta V_p &= \{Q_1 / C_{st}(2)\} \times \{Q_1 / C_{st}(1)\} \\ &= C_{st}(1) / C_{st}(2) \quad \dots (10)\end{aligned}$$

【0021】次に、請求項3に記載の本発明の増幅型固体撮像素子の構成及び動作を以下に説明する。図5は、請求項3に記載の増幅型固体撮像素子の1画素の光入力回路部の構造を示す図である。図中、201は半導体基板、202は高不純物濃度領域、203はゲート酸化膜、204はゲート電極、205は層間絶縁膜、206は金属電極、207は第2層間絶縁膜、208は第2金属電極、209は保護膜である。

【0022】半導体基板201はシリコン等による半導体基板を表し、硼素や燐等の不純物元素の意図的な混入によりp型又はn型の半導体特性を示す。高不純物濃度領域202は特に前記不純物元素を多量に混入させた箇所電気抵抗が低く、S1又は S_{c1} 又は S_{c2} のソース電極やドレイン電極を構成している。又、PD部では同202は光電変換部であるpn接合の一端を担っている。ゲート酸化膜203はS1又は S_{c1} S_{c2} のゲート酸化膜を示す。ゲート電極204はS1又は S_{c1} 又は S_{c2} のゲート電極を示し、通常poly Siもしくはシリサイドもしくはアルミニウム等が用いられる。ゲート電極204はS1又は S_{c1} 又は S_{c2} の制御用入力端子の役目を果たしている。層間絶縁膜205は SiO_2 等により構成される層間絶縁膜であり、S1又は S_{c1} 又は S_{c2} のソース電極、ゲート電極、ドレイン電極をそれぞれ絶縁するために設置されている。金属電極206はアルミニウム等の金属により形成される電極を表し、S1のソース電極及び S_{c1} のドレイン電極及び S_{c2} のソース電極、ドレイン電極を形成している。第2層間絶縁膜207は、任意の箇所の遮光の役目をする第2金属電極208と、金属電極206の絶縁をするための第2層間絶縁膜である。保護膜209は素子の高温高湿環境等での信頼性を確保し、外的要因による素子の破壊を防止するための保護膜であり、通常シリコン酸化膜やシリコン窒化膜が用いられる。

【0023】図6は、図5に示した構造の増幅型固体撮像素子の光入力回路の等価回路を示す図である。PDは入射した光の量に応じて光電荷が発生する光電変換部を表し、S1はPDの一方の電位 V_p を任意の電位 V_{rs1} に任意期間固定するためのPDリセットスイッチである。 S_{c1} 及び S_{c2} は、請求項3に記載の本発明の特徴となる制御部である。 S_{c1} は、光電変換部にて発生した光電荷が蓄積される光電変換部の容量部と、増幅素子の制御用入力端子に導入される光電荷が蓄積される増幅素子の容量部を、電氣的に接続・分離の切換えを行うために

* 求項2に記載の増幅型固体撮像素子では、 $C_{st}(2) < C_{st}(1)$ なので、次式(10)から ΔV_c の値が ΔV_p より大きくなり、請求項1の増幅型固体撮像素子に比べても、さらに光感度特性は大きくなる。

設けられている。 S_{c2} は、増幅素子の制御用入力端子の電位 V_c を任意期間、任意の電位 V_{rs2} に固定するために設けられている。 V_c は該増幅素子の制御用入力端子の電位を表し、PDへの光の入射量に依存して発生し光電変換部の容量部に蓄積された光電荷が、 S_{c1} 及び S_{c2} の制御により増幅素子の制御用入力端子に導かれ増幅素子の容量部に蓄積されると、 V_c の電位は変化し、 V_c の変化分に合わせた出力電圧又は出力電流が信号増幅されて、増幅素子以降の信号検出回路より検出される。 $\phi 1$ 、 $\phi 2$ 、 $\phi 3$ はそれぞれS1、 S_{c1} 、 S_{c2} の制御用入力端子を表し、PDのもう一方の電位GNDは常に接地されている。

【0024】図7(a)～(d)は、請求項3に記載の本発明の固体撮像素子の動作時のタイミングチャートを示す図である。動作は、リセット動作・第1蓄積動作・第2蓄積動作・読み出し動作に大きく分けられるが、読み出し動作は信号出力回路の方式に従う。各時間 t_1 、 t_2 、 t_3 における光電変換部の光電荷蓄積容量部と増幅素子の光電荷蓄積容量部のポテンシャル図を図8(a)～(d)に示す。本発明の固体撮像素子は、特に光入力回路に特徴を有しているため、リセット動作・第1蓄積動作・第2蓄積動作について、本発明の固体撮像素子の特徴を図6～図8(a)～(d)を用いて以下に説明する。

【0025】リセット動作の t_1 の期間において、 $\phi 1$ と $\phi 2$ 及び $\phi 3$ を同時に、それぞれ $V_{s1}(2)$ 、 $V_{s2}(2)$ 、 $V_{s3}(1)$ の電位に設定することにより、光電変換部PDの一方の電位 V_p が初期値 V_{rs1} に、増幅素子の制御用入力端子の電位 V_c が初期値 V_{rs} に固定される。次に、 t_2 で示した第1蓄積動作において、 $\phi 1$ と $\phi 3$ の電位を同時に、それぞれ $V_{s1}(2)$ 、 $V_{s3}(2)$ として、S1、 S_{c2} を不導通状態とすることにより、 V_p 及び V_c はそれぞれフローティング状態となる。この時、逆バイアス状態のPDに光が入射することにより、光の入射量に合わせて光電荷 Q_1 が発生し、電子と正孔のどちらか一方の電荷が光電変換部の容量部 $C_{st}(1)$ に蓄積される。それにより、 V_p の電位は Q_1 と $C_{st}(1)$ に依存した ΔV_p だけ変化する。 t_3 で示した第2蓄積動作において、 $\phi 2$ の電位を $V_{s2}(1)$ とすることにより、 S_{c1} のポテンシャル障壁が任意の値だけ減少し、 $C_{st}(1)$ に蓄積されていた光電荷が増幅素子の光電荷蓄積容量部 $C_{st}(2)$ に移動し蓄積される。それにより、増幅素子の制御用入力端子の

電位 V_c は、 Q_1 と $C_{ST}(2)$ に依存した ΔV_c だけ変化する。 V_c の電位の変化に応じて、信号出力回路より光情報に依存した電気信号が増幅されて検出される。

【0026】すなわち、請求項3に記載の本発明の固体撮像素子において、光電変換部PDにて入射した光の量*

$$C_{ST}(1) = C_{PD} + s_1 C_{G-D} + s_1 C_{D-SUB} + s_{c1} C_{C-S} \quad \cdots (11)$$

で表される。上記 $C_{ST}(1)$ に蓄積される電荷量を Q_1 ※ ※とすると、 V_p の電位の変化量 ΔV_p は、

$$\Delta V_p = Q_1 / C_{ST}(1) \\ = Q_1 / (C_{PD} + s_1 C_{G-D} + s_1 C_{D-SUB} + s_{c1} C_{C-S}) \quad \cdots (12)$$

となる。

【0027】前記光電荷蓄積容量 $C_{ST}(1)$ に蓄積されていた光電荷は S_{c1} の制御により増幅素子の光電荷蓄積容量 $C_{ST}(2)$ に転送される。この時、光電荷が蓄積される容量 $C_{ST}(2)$ は、 S_{c1} のゲート・ドレイン間容量 $s_{c1} C_{G-D}$ 、ドレイン・基板間容量 $s_1 C_{D-SUB}$ 及び S_{c2} の★

$$C_{ST}(2) = s_{c1} C_{G-D} + s_{c1} C_{D-SUB} + s_{c2} C_{G-D} + s_{c2} C_{D-SUB} \\ + C_G + C_{BG-SUB} \quad \cdots (13)$$

で表される。上記 $C_{ST}(2)$ に蓄積された電荷量は Q_1 ☆量 ΔV_c は、と等しいので、増幅素子の制御用入力端子の電位の変化☆

$$\Delta V_c = Q_1 / C_{ST}(2) \\ = Q_1 / (s_{c1} C_{G-D} + s_{c1} C_{D-SUB} + s_{c2} C_{G-D} + s_{c2} C_{D-SUB} \\ + C_G + C_{BG-SUB}) \quad \cdots (14)$$

となる。

【0028】次に、請求項1及び請求項2に記載の本発明の増幅型固体撮像素子の実施例として、実施例1を示す。

〔実施例1〕実施例1の増幅型固体撮像素子は増幅された光情報信号を垂直及び水平走査スイッチ回路を介して読み出すXYアドレス型のエリアイメージセンサであり、信号検出方式は電流検出である。図9は、実施例1の増幅固体撮像素子の1画素の構造を示す図で、図中、301は半導体基板、302は(P+)領域、303はゲート酸化膜、304はゲート電極、305は層間絶縁膜、306は金属電極、307は第2層間絶縁膜、308は第2金属電極、309は保護膜である。

【0029】半導体基板301は、n型シリコンによる半導体基板を表す。(P+)領域302は、特に硼素を不純物元素としてイオン注入法により多量に混入させた箇所電抵抗が低くなっている。 S_1 及び S_c 及び信号出力回路の増幅素子Amp及び S_2 のソース電極やドレイン電極を構成している。又、PD部では、前記(P+)領域302は光電変換部であるpn接合の一端を担っている。ゲート酸化膜303は S_1 及び S_c 及びAmp及び S_2 のゲート酸化膜を示す。ゲート電極304は S_1 及び S_c 及びAmp及び S_2 のゲート電極を示し、燐が高濃度に混入されたpoly Siが用いられている。ゲート電極304は S_1 、 S_c 、Amp、 S_2 の制御用入力端子の役目を果たしている。層間絶縁膜305は SiO_2 の層間絶縁膜であり、 S_1 及び S_c 及びAmp及び S_2 のソース電極、ゲート電極、ドレイン電極を

*に依存して発生した光電荷が一時的に蓄積される容量 $C_{ST}(1)$ は、PDの容量 C_{PD} 及び S_1 のゲート・ドレイン間容量 $s_1 C_{G-D}$ 、ドレイン・基板間容量 $s_1 C_{D-SUB}$ 及び S_{c1} のゲート・ソース間容量 $s_{c1} C_{C-S}$ の総和と考えることが出来る。

10★ゲート・ドレイン間容量 $s_{c2} C_{G-D}$ 、ドレイン・基板間容量 $s_2 C_{D-SUB}$ 及び増幅素子のゲート容量 C_G の総和と考えることができる。なお、増幅素子に接合型電界効果トランジスタやバイポーラトランジスタ等を用いた場合、さらにバックゲート・基板間容量 C_{BG-SUB} が付加される。

☆量 ΔV_c は、

それぞれ絶縁するために設置されている。金属電極306はアルミニウムにより形成された電極を表し、 S_1 のソース電極及び S_c のドレイン電極及びAmpのドレイン電極及び S_2 のドレイン電極を形成している。第2層間絶縁膜307は、任意の箇所の遮光の役目をするアルミニウム第2金属電極308と、金属電極306の絶縁をするための第2層間絶縁膜である。保護膜309は素子の高温高湿環境等で信頼性を確保し、外的要因による素子の破壊を防止するための保護膜であり、シリコン窒化膜を用いた。

【0030】図10は、実施例1の増幅型固体撮像素子の電気的な等価回路を示す図である。点線内で示した箇所がエリアイメージセンサの1画素に相当する。図9及び10図において、PDは半導体基板のn領域と302の(P+)領域を用いたpn接合により形成されている。 S_1 、 S_2 、 S_3 、 S_c 、AmpはそれぞれpチャネルMOSトランジスタにより形成されている。 S_1 はPDのリセットスイッチの役目を果たし、 S_2 は読み出す画素の行を選択する役目を持っている。 S_3 は選択されたn行の中で読み出す画素を順次切り換える役目を持っている。 S_c は本発明の特徴である制御部を表し、Ampは光情報信号を増幅して読み出すための増幅素子である。 S_2 は垂直走査回路により選択され、 S_3 は水平走査回路により選択される方式を用いた。 V_{ss} はともに5Vの電圧を示し、PDの一方の電位と増幅素子Ampのソース電位を与えている。

【0031】図11(a)～(d)は、実施例1の固体撮像素子の動作時のタイミングチャートを1画素に注目

して示した図である。図12(a)～(d)は、図11に記載した各時間 t_1 、 t_2 、 t_3 、 t_4 における光電変換部の光電荷蓄積容量部と増幅素子の光電荷蓄積容量部のポテンシャル図を示す。リセット動作の t_1 の期間において、 V_{rs} を0Vに設定しておき、 $\phi 1$ と $\phi 2$ を同時にそれぞれ0Vの電位に設定することにより、PDの一方の電位 V_p 及びAmpの制御用入力端子の電位 V_c が0Vにリセットされる。次に、 $\phi 1$ を0Vに設定したままで $\phi 2$ を5Vの電位に設定する。すると、Scが不導通状態になり、 V_c は0Vに固定され、フローティング状態となる。次に、リセット動作の t_2 の期間において、 V_{rs} を2Vに設定することにより、 V_p は2Vに固定される。

【0032】 t_3 で示した第1蓄積動作の期間において、 $\phi 1$ の電位は5Vになっていて、S1は不導通状態であり、 V_p は一時間に2Vに固定されたフローティング状態となっている。この時、逆バイアス状態のPDに光が入射することにより、光の入射量に合わせて光電荷Qが発生し、正孔の電荷が光電変換部の容量部 $C_{st}(1)$ に蓄積される。それにより、 V_p の電位はQ1と $C_{st}(1)$ に依存した ΔV_p だけ変化する。 t_4 で示した第2蓄積動作の期間において、 $\phi 2$ の電位を任意の*

*電位 $V_{c2}(2)$ とすることにより、Scのポテンシャル障壁が2Vに減少し、 $C_{st}(1)$ に蓄積されていた光電荷が増幅素子の光電荷蓄積容量部 $C_{st}(2)$ に移動し蓄積される。それにより、増幅素子の制御用入力端子の電位 V_c は、Q1と $C_{st}(2)$ に依存した ΔV_c だけ変化する。

【0033】読み出し動作の期間において、垂直走査回路により選択された読み出す行の各画素のS2をすべて導通状態にする。その間にS3を画素ごとに順次導通状態すると、読み出す行の各画素を順次読み取ることが可能になる。この時、 V_{out} に流れる電流は、各画素のAmpの制御用入力端子の電位 V_c の変化分 ΔV_c に依存して値が変化する。すなわち、PDの光情報信号が電流増幅されて順次出力されることになる。なお、出力電流は最終的には、抵抗 R_L に流され電圧として出力される。実施例1に示した本発明の固体撮像素子は、暗状態で、最大の電流が流れ、入射光量が増えるにつれて出力電流が減少するネガ型の特性を示す。

【0034】次に、実施例1と従来技術の光感度特性の違いを以下の表1に示す。

【0035】

【表1】

実施例1と従来技術の光感度特性の違い

	従来技術	実施例1
Q	1.2×10^{-14} C	1.2×10^{-14} C
C_{st}	4.2×10^{-14} fF	1.2×10^{-14} fF
ΔV_p	0.286 V	0.324 V
ΔV_c	0.286 V	1.000 V
光感度特性	5.72 V/lx·sec	20.0 V/lx·sec

【0036】なお、表1には、1画素当たりに入射する最大露光量が1001lx、1画素当たりの光蓄積時間が0.5ミリ秒の時に発生する光電荷量Q及び1画素当たりの光電荷蓄積容量 C_{st} 及び V_p の変化量 ΔV_p 及び V_c の変化量も合わせて示した。表1において、従来技術の光電荷蓄積容量は、PD容量値30fFとAmpのゲート容量値5fFとS1のゲート・ドレイン間容量2fFとS1のドレイン・基板間容量5fFの加算されたものである。又、実施例1の光電荷蓄積容量は、Ampのゲート容量値5fFとScのゲート・ドレイン間容量2fFとScのドレイン・基板間容量5fFを加算されたものである。なお、AmpとしてMOSTランジスタを用いたので、接合型電界効果トランジスタやバイポーラトランジスタとは異なり、基板とバックゲート又はコレクタとの接合容量は当然無視できた。表1より、実施例1を用いることにより、光感度特性が3.5倍向上しているのが分かる。

【0037】次に、請求項3に記載の本発明の増幅型固体撮像素子の実施例として、実施例2を示す。

〈実施例2〉実施例2の増幅型固体撮像素子は実施例1の光入力回路を請求項3の特徴を有するものに変更したもので、信号検出方式、各層構成などは実施例1と同じである。図13は、実施例2の増幅型固体撮像素子の1画素の構造を示す図で、図14はその等価回路を、図15(a)～(e)は、動作時のタイミングチャートを1画素に注目して示した図である。図中、401はn型シリコン基板、402は(P+)領域、403はゲート酸化膜、404はゲート電極、405は層間絶縁膜、406は金属電極、407は第2層間絶縁膜、408は第2金属電極、409は保護膜である。

【0038】PDは半導体基板のn領域との(P+)領域402を用いたpn接合により形成されている。S1、S2、S3、 S_{c1} 、 S_{c2} 、AmpはそれぞれpチャネルMOSTランジスタにより形成されている。実施例

1と同様、S1はPDのリセットスイッチの役目を果たし、S2は読み出す画素の行を選択する役目を持っている。S3は選択されたn行の中で読み出す画素を順次切り換える役目を持っている。S_{c1}、S_{c2}は本発明の特徴である制御部を表し、Ampは光情報信号を増幅して読み出すための増幅素子である。S2は垂直走査回路により選択され、S3は水平走査回路により選択される方式を用いた。V₀はともに5Vの電圧を示し、PDの一方の電位と増幅素子Ampのソース電位を与えている。V_{rs}は常に2Vの電位に設定されている。φ1、φ2、φ3、φ4、φ5はそれぞれS1、S_{c1}、S_{c2}、S2、S3の制御用入力端子の電位を示している。

【0039】図16(a)～(c)は、図15のタイミングチャートの各動作時間t₁、t₂、t₃における、光電変換部の光電荷蓄積容量部と増幅素子の光電荷蓄積容量部のポテンシャル図を示す。リセット動作のt₁の期間において、φ1及びφ2及びφ3を同時に、それぞれ0V、5V、0Vの電位に設定することにより、PDの一方の電位V_pが初期値2Vに、Ampの制御用入力端子の電位V_cが初期値0Vにリセットされる。次に、t₂*20

実施例2と従来技術の光感度特性の違い

	従来技術		実施例1	
Q	1.2×10 ⁻¹⁴	C	1.2×10 ⁻¹⁴	C
C _{sr}	4.2×10 ⁻¹⁴	fF	1.7×10 ⁻¹⁴	fF
ΔV _p	0.286	V	0.324	V
ΔV _c	0.286	V	0.706	V
光感度特性	5.72	V/lx・sec	14.1	V/lx・sec

【0042】なお、表2には、1画素当たりに入射する最大露光量が1001x、1画素当たりの光蓄積時間が0.5ミリ秒の時に発生する光電荷量Q及び1画素当たりの光電荷蓄積容量C_{sr}及びV_pの変化量V_cの変化量も合わせて示した。表2において、従来技術の光電荷蓄積容量は、実施例1と同様、42fFである。又、実施例2の光電荷蓄積容量は、Ampのゲート容量値5fFとS_{c1}のゲート・ドレイン間容量2fFとS_{c1}のドレイン・基板間容量5fFとS_{c2}のゲート・ソース間容量5fFを加算されたものである。表2より、実施例2を用いることにより、従来技術に比べて光感度特性が2.5倍向上しているのが分かる。

【0043】

【効果】以上の説明から明らかなように、本発明によると、以下のような効果がある。

(1) 請求項1に対応する効果：一般に、C_{ro}及びC_oは、s₁C_{c-o}又はs₁C_{o-s₀}又はs₁C_{c-s}又はs₁C_{c-o}又はs₁C_{o-s₀}に比べ1～2桁大きな値を示し、蓄積容量の大部分を占める。まれに、増幅素子に接合型電界効果トラ

*で示した第1蓄積動作において、φ1とφ3の電位を同時に、それぞれ5Vとして、S1、S_{c1}を不導通状態とすることにより、V_p及びV_cはそれぞれフローティング状態となる。この時、逆バイアス状態のPDに光が入射することにより、光の入射量に合わせて光電荷Qが発生し、正孔の電荷が光電変換部位の容量部C_{sr}(1)に蓄積される。それにより、V_pの電位はQ1とC_{sr}(1)に依存したΔV_pだけ変化する。t₃で示した第2蓄積動作において、φ2の電位をV_{o2}(1)とすることにより、S_{c1}のポテンシャル障壁が任意の値だけ減少し、C_{sr}(1)に蓄積されていた光電荷が増幅素子の光電荷蓄積容量部C_{sr}(2)に移動し蓄積される。それにより、増幅素子の制御用入力端子の電位V_cは、Q1とC_{sr}(2)に依存したΔV_cだけ変化する。読み出し動作に関しては、実施例1と同様なので省略する。

【0040】次に、実施例2と従来技術の光感度特性の違いを表2に示す。

【0041】

【表2】

ンジスタやバイポーラトランジスタを用いた場合に生じるC_{o-c₀}の蓄積容量に占める割合が増えることがある。従来素子のように、PD部の光電荷蓄積容量部と増幅素子の光電荷蓄積容量部が常に導通している場合、蓄積容量部の容量の大きさは、常にC_{ro}とC_oを含むので大きな値を示し、増幅素子の制御用入力端子の電位の変化量ΔV_cは小さな値になってしまう。それに対し、本発明の請求項1に記載の増幅型固体撮像素子では、PD部の光電荷蓄積容量部と増幅素子の光電荷蓄積容量部が電気的に分離することが可能なので、光電荷蓄積容量はC_{ro}を含まない。それにより、増幅素子に於ける光電荷蓄積容量は少なくともC_{ro}分の容量だけは小さくなり、従来素子に比べΔV_cが大きな値を示すことが可能になる。光の入射量に依存しているV_cの変化分ΔV_cが大きな値を示すということは、それだけ光感度特性が向上したことになる、本発明の利点である。

(2) 請求項2に対応する効果：PD部にて発生する光電荷量が一定の場合、C_{sr}が小さい程光感度特性が良くなる。請求項2に記載の増幅型固体撮像素子では、C_{sr}

(2) $C_{ST} (1)$ なので、 ΔV_c の値が ΔV_p より大きくなり、請求項1の増幅型固体撮像素子に比べても、さらに光感度特性は大きくなる。

(3) 請求項3に対応する効果：一般に、 C_{p0} 及び C_c は他の容量に比べ、1～2桁大きな値を示し、蓄積容量の大部分を占める。また、増幅素子に接合型電界効果トランジスタやバイポーラトランジスタを用いた場合に生じる C_{oc-sus} の蓄積容量に占める割合が増えることがある。従来素子のように、PD部の光電荷蓄積容量部と増幅素子の光電荷蓄積容量部が常に導通している場合、蓄積容量部の容量の大きさは、常に C_{p0} と C_c を含むので大きな値を示し、増幅素子の制御用入力端子の電位の変化量 ΔV_c は小さな値になってしまう。それに対し、本発明の請求項3に記載の増幅型固体撮像素子では、PD部の光電荷蓄積容量部と増幅素子の光電荷蓄積容量部が電気的に分離することが可能なので、光電荷蓄積容量は C_{p0} を含まない。それにより、増幅素子に於ける光電荷蓄積容量は少なくとも C_{p0} 分の容量だけは小さくなり、従来素子に比べ ΔV_c が大きな値を示すことが可能になる。光の入射量に依存しての V_c の変化分 ΔV_c が大きな値を示すということは、それだけ光感度特性が向上したことになり、本発明の利点である。さらに、請求項3に記載の増幅型固体撮像素子に於いて、 V_p 及び V_c のリセット用の電位として、それぞれ定電位 V_{rs1} 、 V_{ts} を用いることが出来る。請求項1に記載の増幅型固体撮像素子に於いては、リセット用電位として、周期的に変化する V_{rs} を用いなければならなかったが、定電位を用いることが可能になり、比較して制御が容易になる。

【図面の簡単な説明】

【図1】 本発明による増幅型固体撮像素子の一実施例を示す1画素の光入力回路部の構造を示す図である。

【図2】 本発明の増幅型固体撮像素子の1画素の光入力回路部の等価回路を示す図である。

【図3】 本発明の増幅型固体撮像素子の動作時のタイミングチャートを示す図である。

【図4】 本発明の増幅型固体撮像素子の動作時の、光電変換部の光電荷蓄積容量部と増幅素子の光電荷蓄積容量部

＊量部の空間電位を示す図である。

【図5】 本発明の増幅型固体撮像素子の他の実施例の1画素の光入力回路部の構造を示す図である。

【図6】 本発明の増幅型固体撮像素子の他の実施例の1画素の光入力回路部の等価回路を示す図である。

【図7】 本発明の増幅型固体撮像素子の他の実施例の動作時のタイミングチャートを示す図である。

【図8】 本発明の増幅型固体撮像素子の他の実施例の動作時の、光電変換部位の光電荷蓄積容量部と増幅素子の光電荷蓄積容量部の空間電位図を示す図である。

【図9】 本発明の増幅型固体撮像素子の1画素の光入力回路部の構造を示す図である。

【図10】 本発明の増幅型固体撮像素子の具体的実施例1画素の光入力回路部の等価回路を示す図である。

【図11】 図10の増幅型固体撮像素子の動作時のタイミングチャートを示す図である。

【図12】 図10の本発明の増幅型固体撮像素子の動作時の、光電変換部の光電荷蓄積容量部と増幅素子の光電荷蓄積容量部の空間電位図を示す図である。

【図13】 本発明の増幅型固体撮像素子の他の具体的実施例1画素の光入力回路部の構造を示す図である。

【図14】 図13の本発明の増幅型固体撮像素子の1画素の光入力回路部の等価回路を示す図である。

【図15】 図13の本発明の増幅型固体撮像素子の動作時のタイミングチャートを示す図である。

【図16】 図13の本発明の増幅型固体撮像素子の動作時の、光電変換部の光電荷蓄積容量部と増幅素子の光電荷蓄積容量部の空間電位を示す図である。

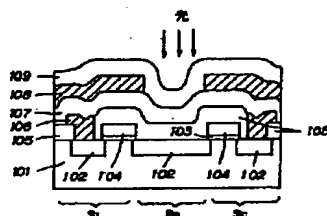
【図17】 従来の増幅型固体撮像素子の1画素の構造を示す図である。

【図18】 従来の増幅型固体撮像素子の1画素の等価回路を示す図である。

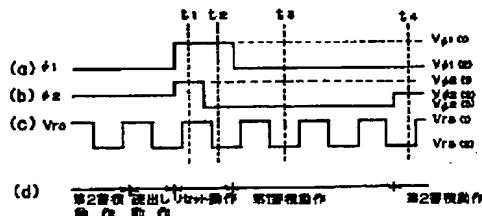
【符号の説明】

101…半導体基板、102…高不純物濃度領域、103…ゲート酸化膜、104…ゲート電極、105…層間絶縁膜、106…金属電極、107…第2層間絶縁膜、108…第2金属電極、109…保護膜。

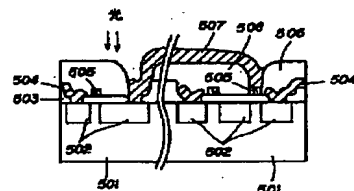
【図1】



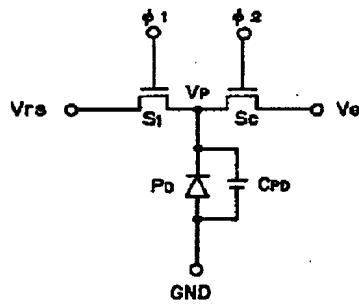
【図3】



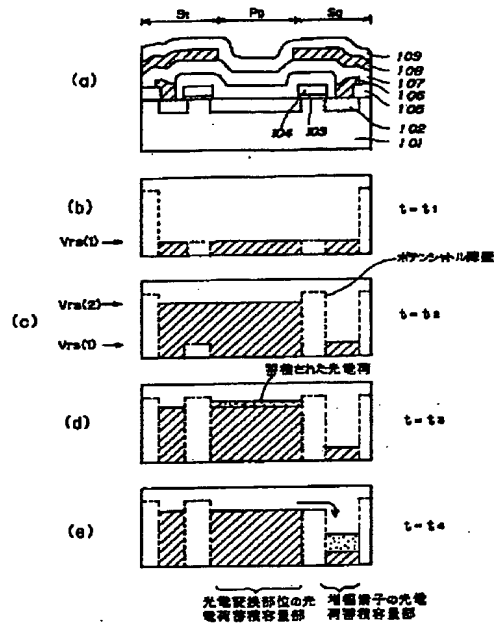
【図17】



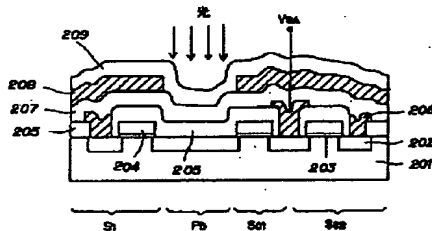
【図2】



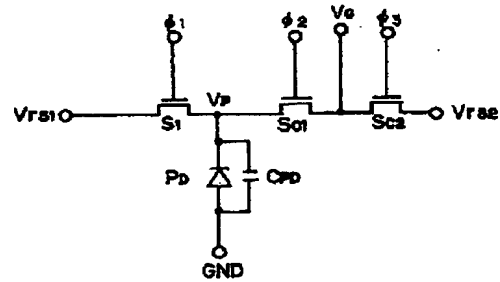
【図4】



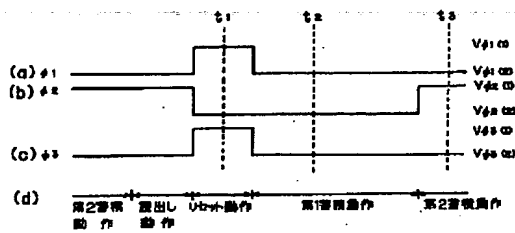
【図5】



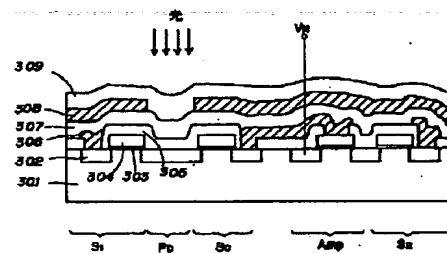
【図6】



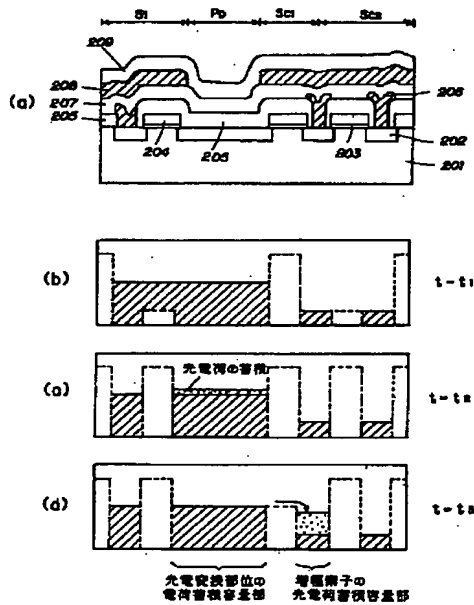
【図7】



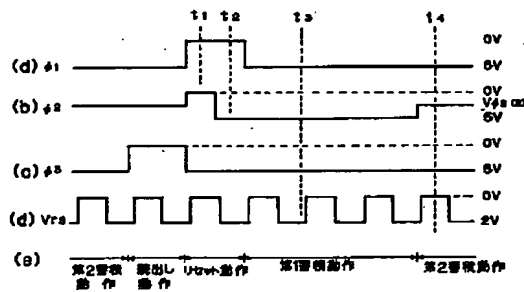
【図9】



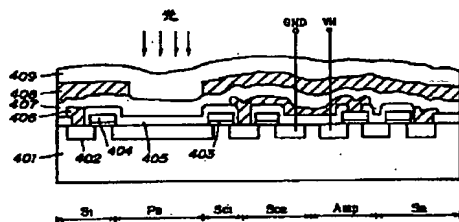
【図8】



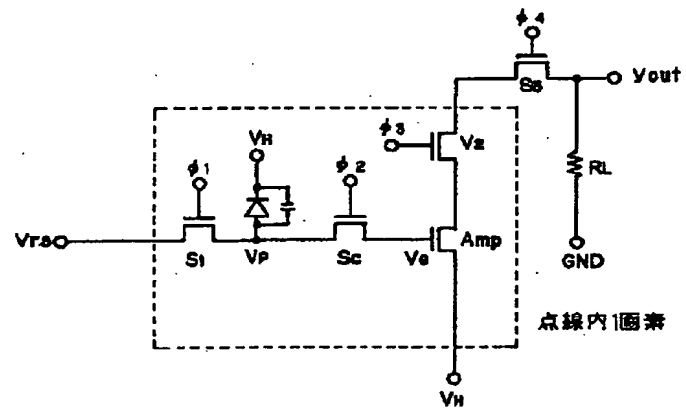
【図11】



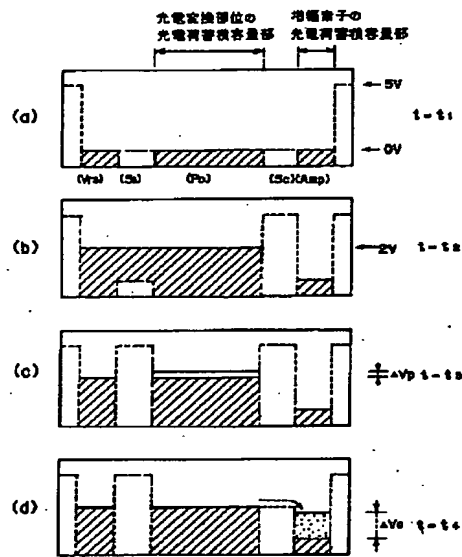
【図13】



【図10】



【図12】



【図15】

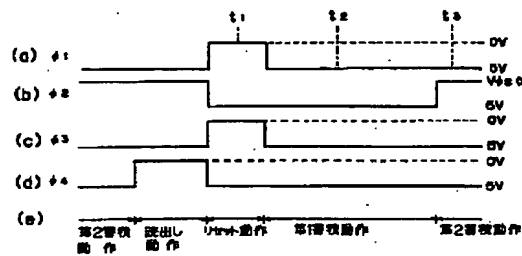


Figure 1 consists of three schematic diagrams labeled (a), (b), and (c), illustrating the stages of an electrochemical etching process. The diagrams show a cross-section of a device with layers labeled (V_{Si}), (Si), (PD), (Se₂), (Se₃), and (GND). A legend on the right indicates the applied voltage: 5V, 2V, and 0V. Diagram (a) shows the initial state with a 5V bias, where the etching process is initiated. Diagram (b) shows an intermediate state with a 2V bias, where a protective layer (Se₂) has formed on the GaAs surface. Diagram (c) shows the final state with a 0V bias, where the etching process is complete, and a well structure has been formed. The diagrams also indicate the thickness of the etched layer, ΔV_{Si}, and the time taken for each stage, t = 10 min.